

STK_ADAU1442

Moduł wyjść analogowych

**AVT
5472**

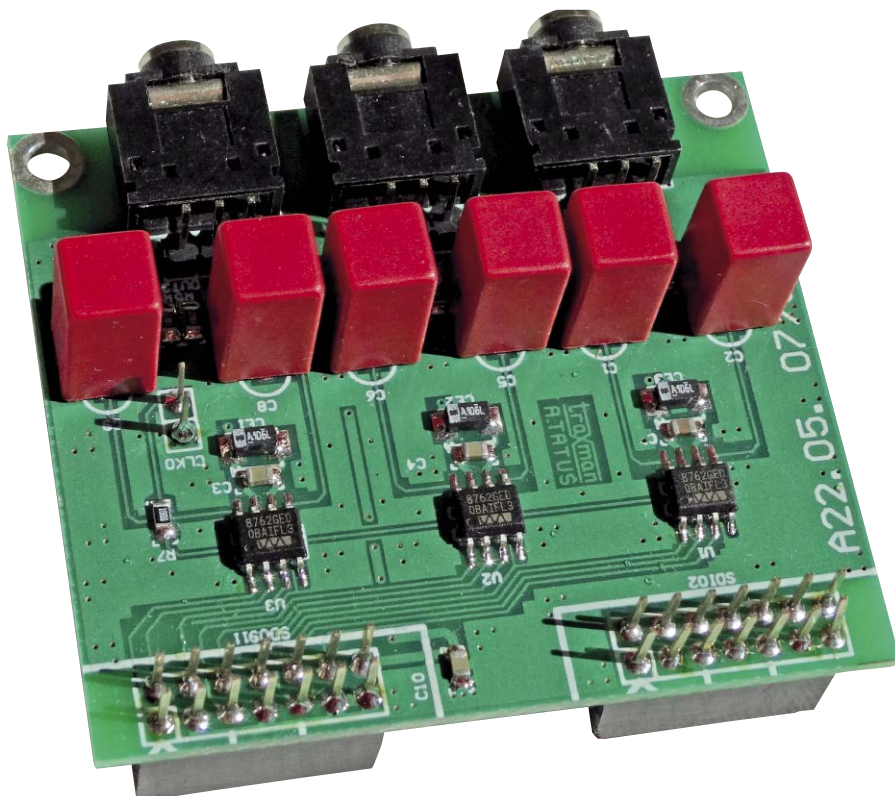
Opisywany wcześniej zestaw „Mega DSP” miał wejścia/wyjścia cyfrowe I²S i S/PDIF. Nie zawsze jednak obrabiany jest tylko sygnał cyfrowy. Dla osób zainteresowanych obróbką sygnału analogowego, jako uzupełnienie karty przetwornika A/C, opracowałem kartę 6-kanalowego przetwornika C/A o częstotliwości próbkowania 192 kHz i rozdzielczości 24 bitów.

Rekomendacje: dla osób zajmujących się przetwarzaniem i obróbką sygnału analogowego.

Karta oparta jest o niedrogi i łatwy w aplikacji przetwornik C/A typu WM8762 firmy Wolfson gwarantujący osiągnięcie dobrych parametrów przetwarzania niewielkim nakładem środków. Schemat blokowy układu WM8762 pokazano na **rysunku 1**. Układ zapewnia przetwarzanie sygnału z rozdzielczością 24 bitów przy częstotliwości próbkowania 192 kHz i większym od 90 dB odstępie sygnału od zakłóceń. Schemat modułu wyjść analogowych z układem WM8762 zaprezentowano na **rysunku 2**.

Moduł składa się z trzech identycznych kanałów stereofonicznych. Sygnał wyjściowy z przetwornika C/A jest doprowadzony do gniazd OUTxA lub do złącz OUTx. Ma on amplitudę 1,2 Vrms przy obciążeniu rezystancją 10 kΩ. Dla uproszczenia moduł pozbawiono wyjściowych filtrów dolnoprzepustowych. Sygnał jest filtrowany za pomocą filtrów cyfrowych wbudowanych w przetwornik C/A. Kondensatory C1, C2, C5, C6, C8, C9 separują składową stałą z przetwornika C/A.

Układ scalony WM8762 pracuje w trybie LJ (wyrównanie do lewej) z rozdzielczością 24 bitów. Sygnał cyfrowy z DSP jest doprowadzony poprzez złącza SDO911 do każdego z wejść przetworników U1...U3. Przebieg zegarowy niezbędny do pracy przetworników jest pobierany z płytki Mega DSP poprzez złącze CLK0. W module można zastosować bez dokonywania żadnych zmian układowych przetwornik WM8727 różniący się tylko interfejsem cyfrowym w formacie I²S – wymaga to jedynie zmiany konfiguracji DSP.



Montaż, test funkcjonalny

Układ zmontowano na niewielkiej płytce drukowanej, której schemat montażowy pokazano na **rysunku 3**. Liczba wlotowych układów scalonych jest zależna od potrzeb – na wyjściu jednego przetwornika D/A są dostępne dwa kanały. W module prototypowym zastosowano 3 układy WM8762, więc uzyskano w ten sposób 6 kanałów.

Sposób montażu jest typowy i nie wymaga opisywania, należy tylko sprawdzić jego poprawność. W zależności od preferencji, układ może być połączony z płytką bazową za pomocą taśm IDC14 dla zasilania i sygnałów I²C oraz przewodu ekranowanego dla sygnału zegarowego (możliwie krótkiego). Ja preferuję układanie modułów w „kanapki”, jednak wiąże się to z koniecznością zdobycia trudnodostępnych złącz przelotowych IDC 20 mm, takich jak są stosowane w modułach rozszerzających Raspberry PI, odpowiedniego ich przycięcia oraz zamiany złącz GPIO i USBI na kątowne w module bazowym ADAU1442. Wybór rozwiązania pozostawiam użytkownikowi. Stabilność mechaniczną przy łączeniu „kanapek” zapewniają kołki dystansowe montowane od strony złącz jack.

W ofercie AVT*
AVT-5472 A

Podstawowe informacje:

- Zasilanie 3,3 V DC.
- Maksymalna liczba kanałów: 6 stereofonicznych.
- Częstotliwość próbkowania 192 kHz, rozdzielczość 24 bity.
- Amplituda sygnału wyjściowego 1,2 V/10 kΩ

Dodatkowe materiały na FTP:

<ftp://ep.com.pl>, user: 42850, pass: 3063yuhc

• wzory płytek PCB

Projekty pokrewne na FTP:

(wymienione artykuły są w całości dostępne na FTP)

AVT-5442 STK_ADAU1442 – Mega DSP (EP 3/2014)

AVT-5403 DSP dla każdego – ADAU1701 (EP 7-8/2013)

AVT-5385 Przetwornik D/A z układem

TDA1541 (EP 3/2013)

AVT-931 DsPICorder (EP 6/2006)

* Uwaga:

Zestawy AVT mogą występować w następujących wersjach: AVT xxxx UK to zaprogramowany układ. Tylko i wyłącznie. Bez elementów dodatkowych.

AVT xxxx A płytka drukowana PCB (lub płytki drukowane, jeśli w opisie wyraźnie zaznaczono), bez elementów dodatkowych.

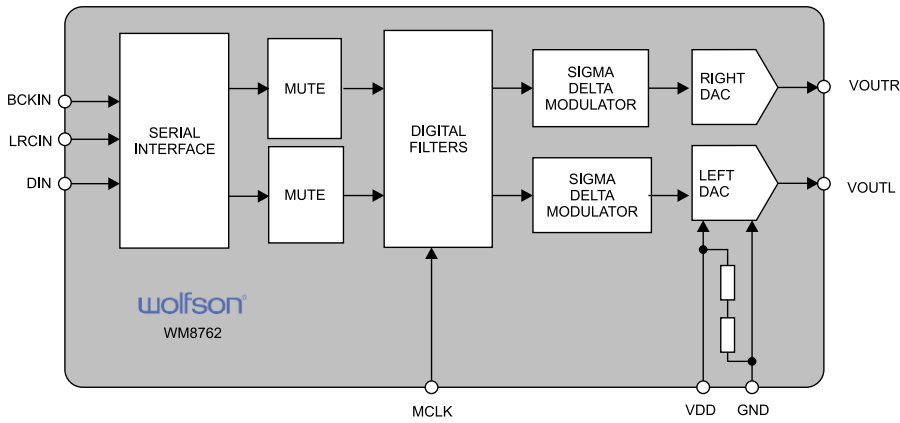
AVT xxxx A+ płytka drukowana i zaprogramowany układ (czyli połączenie wersji A i wersji UK) bez elementów dodatkowych.

AVT xxxx B płytka drukowana (lub płytki) oraz komplet elementów wymienionych w załączniku pdf

AVT xxxx C to nic innego jak zmontowany zestaw B, czyli elementy wlotowane w PCB. Należy mieć na uwadze, że o ile nie zaznaczono wyraźnie w opisie, zestaw ten nie ma obudowy ani elementów dodatkowych, które nie zostały wymienione w załączniku pdf

AVT xxxx CD oprogramowanie (nieczęsto spotykana wersja, lecz jeśli występuje, to niezbędne oprogramowanie można ściągnąć, klikając w link umieszczony w opisie kitu)

Nie każdy zestaw AVT występuje we wszystkich wersjach! Każda wersja ma załączony ten sam plik pdf! Podczas składania zamówienia upewnij się, którą wersję zamawiasz! (UK, A, A+, B lub C). <http://sklep.avt.pl>



Rysunek 1. Schemat blokowy WM8762 (za notą Wolfson)

Wykaz elementów

Rezystory:

R1...R6: 220 kΩ (SMD 0805, 1%)
R7: 100 Ω (SMD 0805)

Kondensatory:

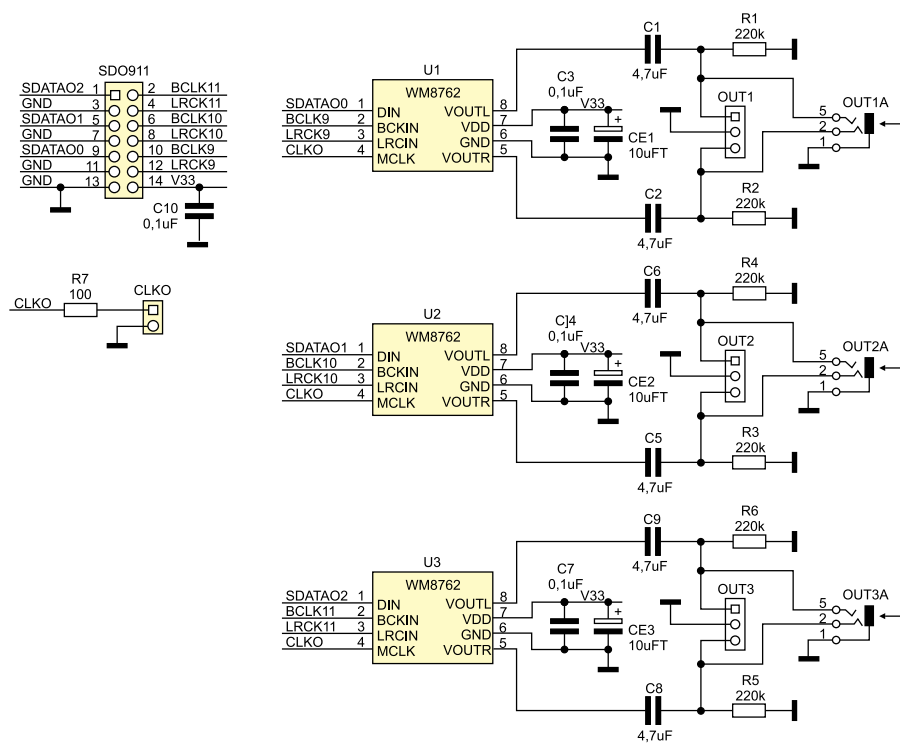
C1, C2, C5, C6, C8, C9: 4,7 μF (foliowy R=5 mm)
C3, C4, C7, C10: 0,1 μF (SMD 0805)
CE1...CE3: 10 μF (tantalowy)

Półprzewodniki:

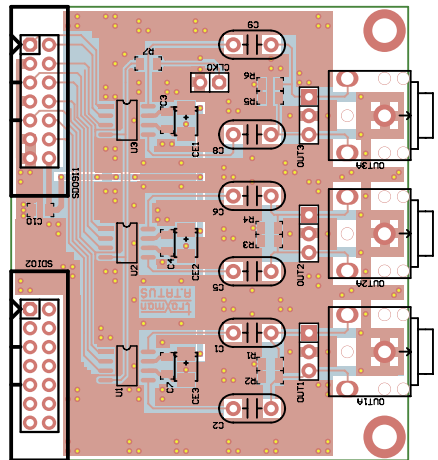
U1...U3: WM8762 (SO8 – liczba układów zależy od liczby wymaganych kanałów, opis w tekście)

Inne:

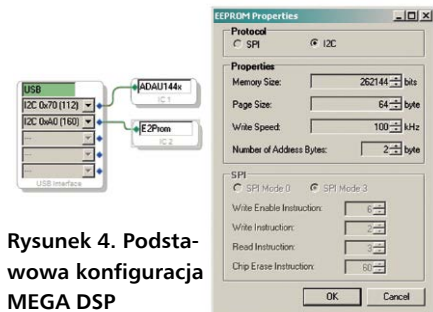
CLKO: złącze żeńskie SIP, przelotowe, h=20 mm
OUT1...OUT3: złącze SIP3
OUT1A...OUT3A: FC68131 (złącze Mini Jack, stereofoniczne)
SDO911, SDIO2: IDC14C (złącze żeńskie SIP, przelotowe, h=20 mm)



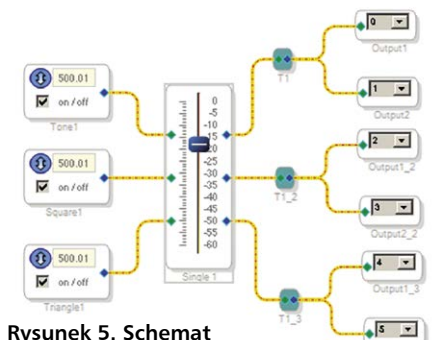
Rysunek 2. Schemat ideowy modułu 6-kanałowego przetwornika C/A z WM8762



Rysunek 3. Schemat montażowy modułu 6-kanałowego przetwornika C/A z WM8762



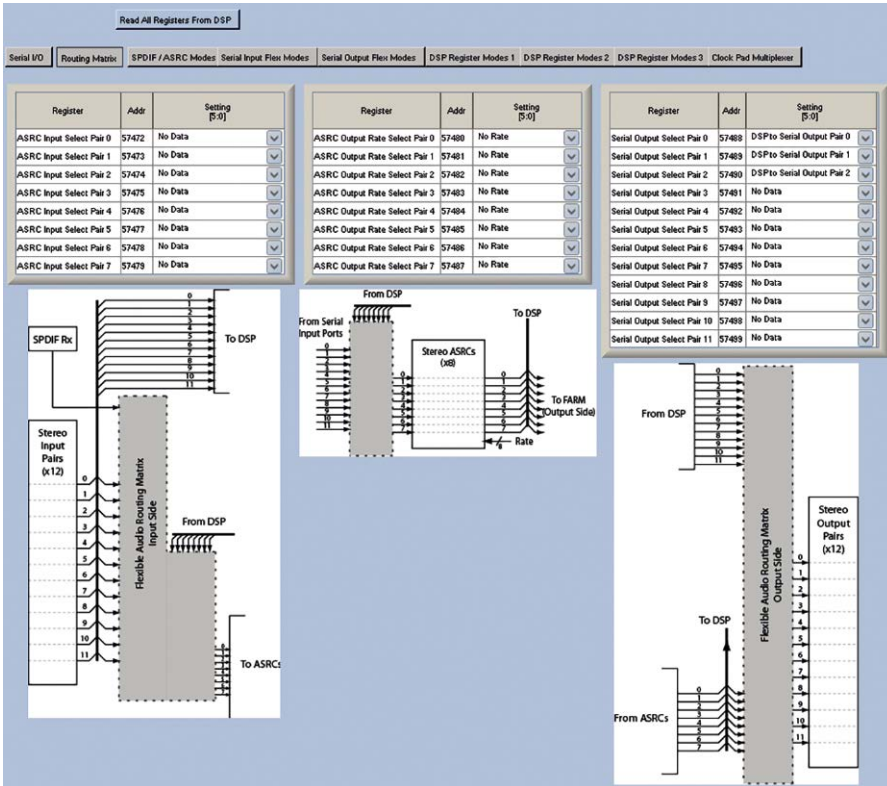
Rysunek 4. Podstawowa konfiguracja MEGA DSP



Rysunek 5. Schemat aplikacji testowej DAC

Serial I/O	Routing Matrix	SPDIF / ASRC Modes	Serial Input Flex Modes	Serial Output Flex Modes	DSP Register Modes 1	DSP Register Modes 2	DSP Register Modes 3	Clock Pad Multiplexer	
Register	Addr	Clock Output Enable [15]	Frame Sync Type [14]	Master/Slave & Clock Domain [13:10]	BCLK Polarity [9]	LRCLK Polarity [8]	Word Length [7:5]	MSB Position [5:3]	TDM Type [2:0]
Serial Input 0	57344	Disabled	Wave	Slave to Clock Domain 0	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 1	57345	Disabled	Wave	Slave to Clock Domain 1	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 2	57346	Disabled	Wave	Slave to Clock Domain 2	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 3	57347	Disabled	Wave	Slave to Clock Domain 3	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 4	57348	Disabled	Wave	Slave to Clock Domain 4	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 5	57349	Disabled	Wave	Slave to Clock Domain 5	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 6	57350	Disabled	Wave	Slave to Clock Domain 6	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 7	57351	Disabled	Wave	Slave to Clock Domain 7	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 8	57352	Disabled	Wave	Slave to Clock Domain 8	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 0	57408	Enabled	Wave	Master - 96 kHz Clocks	Negative	Negative	24 bits	Left Justified (Delayed by 0)	TDM2 (Stereo)
Serial Output 1	57409	Enabled	Wave	Master - 96 kHz Clocks	Negative	Negative	24 bits	Left Justified (Delayed by 0)	TDM2 (Stereo)
Serial Output 2	57410	Enabled	Wave	Master - 96 kHz Clocks	Negative	Negative	24 bits	Left Justified (Delayed by 0)	TDM2 (Stereo)
Serial Output 3	57411	Enabled	Wave	Slave to Clock Domain 3	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 4	57412	Enabled	Wave	Slave to Clock Domain 4	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 5	57413	Enabled	Wave	Slave to Clock Domain 5	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 6	57414	Enabled	Wave	Slave to Clock Domain 6	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 7	57415	Enabled	Wave	Slave to Clock Domain 7	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 8	57416	Enabled	Wave	Slave to Clock Domain 8	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Register	Addr	Reserved [15:1]	Enable / Disable [0]						
High-Speed Slave Interface Mode	57417	b.0000000000000000	Disabled						

Rysunek 6. Konfiguracja interfejsu wyjściowego



Rysunek 7. Konfiguracja matrycy sygnałów

oraz EEPROM zgodnie z **rysunkiem 4**. W zależności od zastosowanej pamięci EEPROM (w modelu 24FC/LC256) jest konieczne określenie wewnętrznej konfiguracji za pomocą zakładki IC2 -E2Prom/Properties. Należy podać pojemność pamięci, wielkość bloku danych oraz częstotliwości magistrali I²C (dostępne od Sigma Studio ver. 3.9). W przeciwnym wypadku programowanie EEPROM może być niemożliwe lub nieprawidłowe.

W roli aplikacji testowej wykorzystamy 3-kanalowy generator sygnału o regulowanym poziomie. Schemat blokowy aplikacji pokazano na **rysunku 5**. W projekcie jest konieczne ustawienie częstotliwości próbkowania na 96 kHz (kwarc 12,288 MHz). Sygnały cyfrowe z generatorów po regulacji poziomu dostępne są w kanałach 0..5 bloku wyjściowego i doprowadzone do wyjściowych kanałów DSP. Aplikacja nie używa GPIO. Po narysowaniu projektu jest konieczna konfiguracja sprzętowa ADAU144x. W pierwszej kolejności jest wymagane skonfigurowanie wyjściowego interfejsu cyfrowego w trybie LJ (Left Justified), 24 bity, Master 96 kHz (**rysunek 6**) oraz matrycy przepływu sygnałów, jak na **rysunku 7**. Następnie jest konieczne skonfigurowanie układu zegarowego DSP, co pokazano na **rysunku 8**.

Po zapisaniu i skompilowaniu projekt jest gotowy do sprawdzenia w rzeczywistej aplikacji. Za pomocą USBi, warto też załadować oprogramowanie do EEPROM, aby nie tracić go po wyłączeniu zasilania. Po dołączeniu wzmacniacza do przetwornika C/A jest możliwe przetestowanie działania aplikacji. Układ nie wykorzystuje GPIO, wszystkie regulacje odbywają się za pomocą wirtualnych manipulatorów na ekranie monitora PC.

Adam Tatuś, EP

Po poprawnym montażu należy sprawdzić położenie zwór M0/1/2 (GND/VCC/GND) w module ADAU144x, sprawdzić obecność napięcia zasilającego 3,3 V i sygnału zegarowego na złączu CLK0. Jeżeli wszystko jest w porządku, można przejść do uruchomienia oprogramowania Sigma Studio w celu przygotowania i sprawdzenia aplikacji testowej.

Do zaprogramowania ADAU144x jest konieczny interfejs USBi. Po uruchomieniu środowiska Sigma Studio w obszar roboczy okienka konfiguracji musimy przeciągnąć, połączyć i skonfigurować elementy USBi, ADAU144x

Rysunek 8. Konfiguracja układu zegarowego DSP