

1-bitowy przetwornik A/D wysokiej klasy (1)

Przetwornik D/A z układem WM8741 – ciąg dalszy bitwy przetworników

W czerwcowym i lipcowym numerze EP opublikowaliśmy opis przetwornika równoległego D/A ze słowem 24-bitowym.

Zapowiedzieliśmy również „bitwę” pomiędzy nim a przetwornikiem 1-bitowym. Oto dalszy ciąg zapowiedzianego cyklu. Prezentujemy w nim projekt przetwornika 1-bitowego z układami scalonymi firmy Wolfson – WM8741.

Rekomendacje: przetwornik jest przeznaczony dla koneserów dobrego dźwięku, którzy są skłonni wydać „nieco” pieniędzy na zakup podzespołów.

Przetworniki z modulatorami sigma – delta (zwane też 1-bitowymi) przeszły długą drogę rozwoju, ale prawie zawsze pozostawały w cieniu konstrukcji wielobitowych. Były stosowane z powodzeniem nawet w lepszych odtwarzaczach, ale konstrukcje z „najwyższej półki” były zarezerwowane dla przetworników wielobitowych. Jednak z powodów ekonomicznych, w pewnym momencie przetworniki wielobitowe przestały być rozwijane, a prace nad modulatorami sigma – delta trwały nadal. Doprowadziło to do tego, że dziś mamy relatywnie tanie przetworniki 1-bitowe o doskonałych parametrach. Ale najważniejsze jest, że można z nich zbudować przetworniki audio w niczym nieustępujące wielobitowym, a nawet – jak twierdzą niektórzy – przewyższające je parametrami i jakością uzyskiwanego brzmienia.

Aby samemu przekonać się, jak to jest naprawdę, postanowiłem zbudować przetwornik z nowoczesnym przetwornikiem 1-bitowym. Wybór padła na brytyjską firmę Wolfson i jej sztanदारowy przetwornik WM8741.

Konwersja sygnału cyfrowego na analogowy w WM8741 jest wykonywana przez modulator sigma – delta i zgodnie z zapew-

**AVT
5359**



nieniami producenta, ma rewelacyjne parametry. Jak przystało na nowoczesne konstrukcje tego typu, przetwornik może konwertować tzw. gęste formaty z maksymalną częstotliwością próbowania 192 kHz i o słowach o długości 24 bitów.

Założenia projektowe

Zaawansowane układy audio (przetworniki, odbiorniki SPDIF, filtry cyfrowe itp.) mają wiele funkcji, które można konfigurować. Przykładem może być format danych strumienia audio przesyłanego pomiędzy odbiornikiem SPDIF i przetwornikiem. Konfigurowanie może być wykonywane sprzętowo poprzez wymuszenie odpowiednich poziomów logicznych na wejściach konfiguracyjnych układu. Jest rozpowszechniona metoda w aplikacjach, w których nie ma sterownika mikroprocesorowego. Doskonale

sprawdza się ona na przykład w odbiornikach SPDIF. Podstawowa zaletą takiego sposobu konfigurowania jest prostota, a wadą – brak możliwości wykorzystania wszystkich możliwości układu, np. ustawiania poziomu sygnału wyjściowego przetwornika.

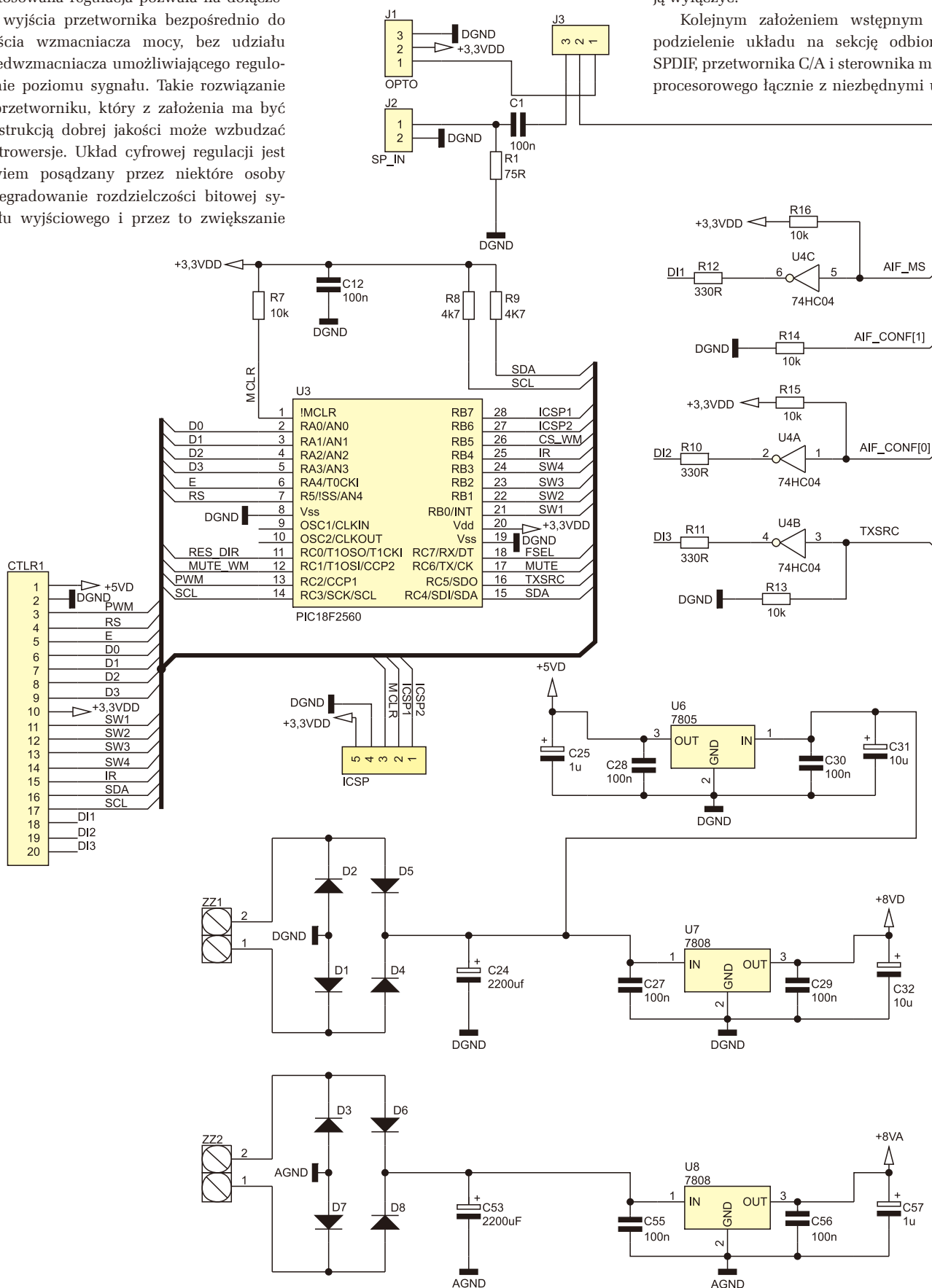
Konfigurowanie za pomocą programu jest realizowane dzięki zapisywaniu wewnętrznych rejestrów układu przez sterownik mikroprocesorowy. Komunikacja pomiędzy sterownikiem, a układem odbywa się poprzez interfejs szeregowy, np. SPI lub I²C. Daje to możliwość wprowadzania wszystkich dostępnych nastaw. Postanowiłem wykorzystać te możliwości i sterować regulacją poziomu sygnału wyjściowego wbudowaną w filtr cyfrowy przetwornika WM8741. Jako system nadrzędny zastosowano sterownik mikroprocesorowy z mikrokontrolerem PIC18F2850.

Interfejs użytkownika tworzą: wyświetlacz LCD 2 linie po 16 znaków, impulsator firmy Burns, jeden przycisk i odbiornik RC5. Zastosowana regulacja pozwala na dołączenie wyjścia przetwornika bezpośrednio do wejścia wzmacniacza mocy, bez udziału przedwzmacniacza umożliwiającego regulowanie poziomu sygnału. Takie rozwiązanie w przetworniku, który z założenia ma być konstrukcją dobrej jakości może wzbudzać kontrowersje. Układ cyfrowej regulacji jest bowiem posądzany przez niektóre osoby o degradowanie rozdzielczości bitowej sygnału wyjściowego i przez to zwiększanie

szumu kwantyzacji. Zdania są podzielone, ponieważ z drugiej strony, dla wielu jest to jednak wygodna i prawidłowo działająca

funkcja. Nie rozstrzygając o słuszności argumentów żadnej ze stron postanowiłem wbudować regulację – można z niej korzystać lub ją wyłączyć.

Kolejnym założeniem wstępnym było podzielenie układu na sekcję odbiornika SPDIF, przetwornika C/A i sterownika mikroprocesorowego łącznie z niezbędnymi ukła-

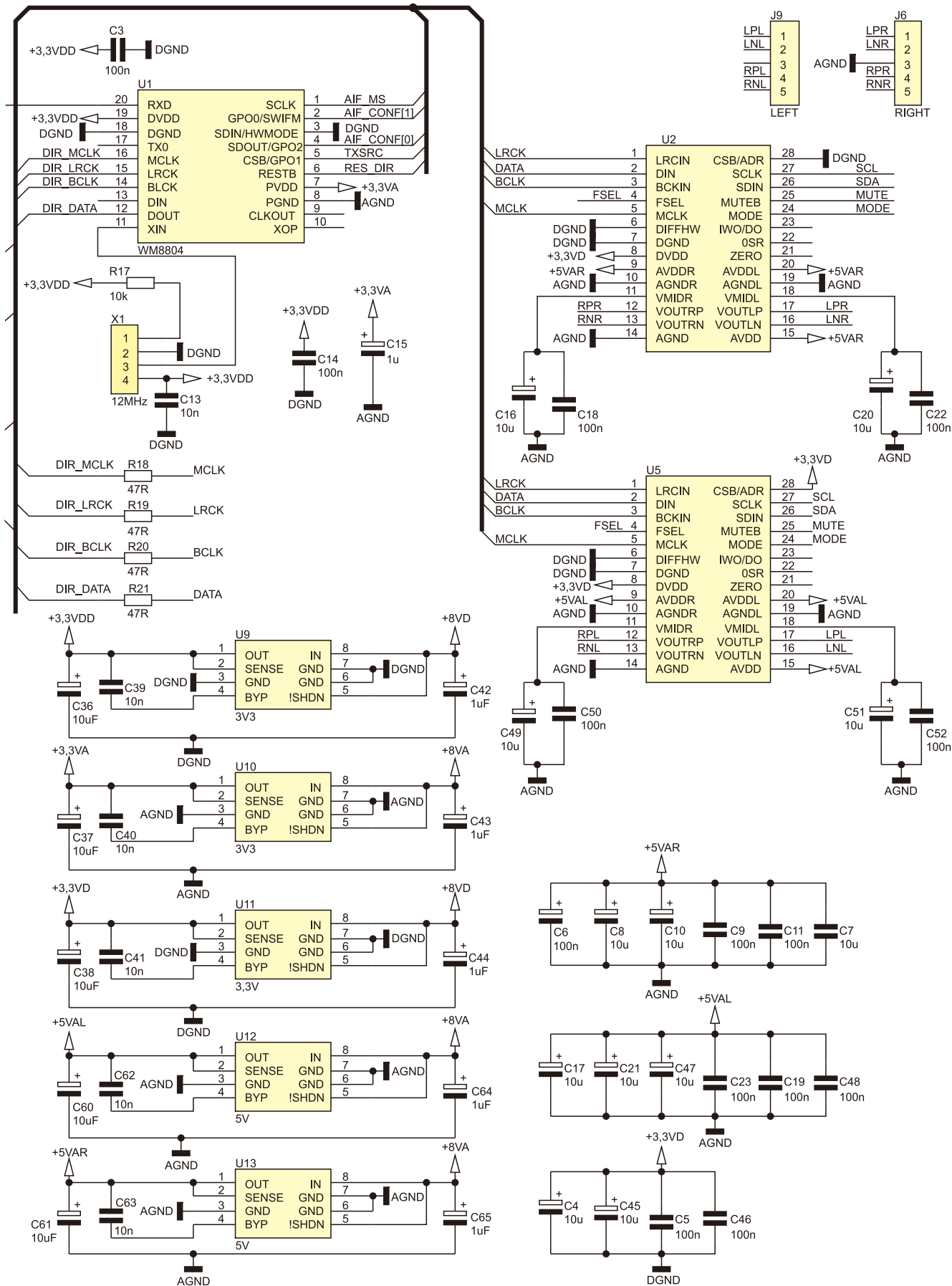


Rysunek 1. Schemat przetwornika

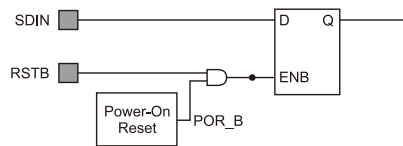
dami zasilającymi oraz sekcję analogowego filtra dolnoprzepustowego popularnie nazywanego „analogówką”. Ten podział ma duże

znaczenie praktyczne, ponieważ umożliwia stosowanie zależnie od potrzeb różnych rozwiązań od klasycznych filtrów dolnoprze-

stowych zbudowanych w oparciu o wzmacniacze operacyjne, po układy tranzystorowe,



Rysunek 1. c.d.



Rysunek 2. Przykład zatraskiwania stanu wejścia konfiguracyjnego

lampowe, czy układy z transformatorami audio.

Przetwornik

Schemat przetwornika z odbiornikiem SPDIF i układami zasilania, ale bez filtra analogowego, pokazano na rysunku 1. Wej-

W ofercie AVT*

AVT-5359 A
AVT-5359 UK

Podstawowe informacje:

- Przetwornik 1-bitowy firmy Wolfson typu WM8741.
- Praca z częstotliwością próbkowania 44,1 kHz i 96 kHz, słowa 16-bitowe i 24-bitowe.
- Mikrokontroler PIC18F2580.
- Wyświetlacz LCD 2 linie po 16 znaków, impulsator firmy Burns, przycisk.
- Sterowanie za pomocą nadajnika podczerwieni (kody RC5).
- Regulacja poziomu sygnału wyjściowego.
- Podział przetwornika na sekcję odbiornika SPDIF, przetwornika C/A i sterownika mikroprocesorowego łącznie z niezbędnymi układami zasilającymi oraz sekcję analogowego filtra dolnoprzepustowego.
- 3 płytki drukowane: interfejs użytkownika, sterownik z przetwornikiem i zasilaczami, filtr analogowy.
- Zasilanie 230 V AC.
- Możliwość dołączenia do wzmacniacza mocy.
- Sygnał wejściowy doprowadzany za pomocą SPDIF.

Dodatkowe materiały na CD/FTP:

[ftp://ep.com.pl](http://ep.com.pl), user: 19891, pass: 428jbr30

- wzory płytek PCB
- karty katalogowe i noty aplikacyjne elementów oznaczonych w Wykazie elementów kolorem czerwonym

Projekty pokrewne na CD/FTP:

(wymienione artykuły są w całości dostępne na CD)

- AVT-5346 Wielobitowy przetwornik cyfrowo-analogowy audio z PCM1704 (EP 6-7/2012)
- AVT-1670 Stereofoniczny regulator barwy dźwięku (EP 4/2012)
- AVT-1634 Przedwzmacniacz z TDA1524A (EP 8/2011)
- AVT-5335 DAC TDA1543 (EP 3/2012)
- AVT-5188 Kompaktowy przetwornik C/A dla Audiofilów (EP 6/2009)
- AVT-5159 SDSP processor (EP 11/2008)
- AVT-5148 Stereofoniczny kodek z interfejsem SPDIF (EP 9/2008)
- AVT-931 DsPICOrder (EP 6/2006)
- AVT-450 Przetwornik A/C z interfejsem ADAT (EP 11-12/2005)
- AVT-384 Przetwornik audio analogowo-cyfrowy z wyjściem S/PDIF (EP 4/2005)
- AVT-379 Audiofilski przetwornik C/A (EP 2/2005)
- AVT-566 Procesor audio z wyjściem S/PDIF (EP 3-4/2004)
- AVT-5084 Audiofilski przetwornik C/A Audio (EP 10-11/2002)
- AVT-5082 Cyfrowy procesor dźwięku (EP 9/2002)
- AVT-5026 Wzmacniacz audio z wyjściem cyfrowym (EP 7-8/2001)
- AVT-244 Procesor dźwięku z układem LM1036 (EP 8/1996)
- AVT-196 Procesor audio na układzie TDA1524A (EP 2/1995)
- Cyfrowy tor audio (EP 5-7/2000)

* Uwaga:

Zestawy AVT mogą występować w następujących wersjach: AVT xxxx UK to zaprogramowany układ. Tylko i wyłącznie. Bez elementów dodatkowych. AVT xxxx A płytka drukowana PCB (lub płytki drukowane, jeśli w opisie wyraźnie zaznaczono), bez elementów dodatkowych. AVT xxxx A+ płytka drukowana i zaprogramowany układ (czyli połączenie wersji A i wersji UK) bez elementów dodatkowych. AVT xxxx B płytka drukowana (lub płytki) oraz komplet elementów wymienionych w załączniku pdf to nic innego jak zmontowany zestaw B, czyli elementy wmontowane w PCB. Należy mieć na uwadze, że o ile nie zaznaczono wyraźnie w opisie, zestaw ten nie ma obudowy ani elementów dodatkowych, które nie zostały wymienione w załączniku pdf AVT xxxx C płytka drukowana (lub płytki) oraz komplet elementów wymienionych w załączniku pdf to nic innego jak zmontowany zestaw B, czyli elementy wmontowane w PCB. Należy mieć na uwadze, że o ile nie zaznaczono wyraźnie w opisie, zestaw ten nie ma obudowy ani elementów dodatkowych, które nie zostały wymienione w załączniku pdf AVT xxxx CD oprogramowanie (nieczęsto spotykana wersja, lecz jeśli występuje, to niezbędne oprogramowanie można ściągnąć, klikając w link umieszczony w opisie kitu)

Nie każdy zestaw AVT występuje we wszystkich wersjach! Każda wersja ma załączony ten sam plik pdf! Podczas składania zamówienia upewnij się, którą wersję zamawiasz! (UK, A, A+, B lub C) <http://sklep.avt.pl>

GPO0/AIFCONF[1]	SDOUT/AIFCONF[0]	Format
0	0	16 bitów I ² S
0	1	24 bity I ² S
1	0	24 bity left justified
1	1	16 bitów right justified

Rysunek 3. Konfigurowanie formatu danych

ście sygnału standardu SPDIF (złącze J2) jest terminowane za pomocą rezystora R1 o rezystancji 75 Ω. Kondensator C1 eliminuje składową stałą sygnału. Złącze J3 jest przewidziane do przełączania sygnału z opcjonalnego odbiornika sygnału przesyłanego światłowodem. Odbiornik OPTO można podłączyć do złącza J1. Kiedy jest używany sygnał SPDIF, to styki 3 i 2 złącza J3 muszą być zwarte.

Odbiornik SPDIF WM8804

Odbiornik SPDIF nie bierze bezpośredniego udziału w procesie konwersji, ale jego praca może mniej lub bardziej wpływać na jakość sygnału wyjściowego. W sprzedaży są dostępne odbiorniki o bardzo dobrej jakości, na przykład – chętnie stosowane przez mnie RE9001. Jako odbiorniki wysokiej klasy może służyć odbiornik/konwerter częstotliwości próbkowania SRC4392. W tym zdecydowałem się jednak na użycie układu WM8804 firmy Wolfson. Może on odbierać strumień danych 24-bitowych próbkowanych z częstotliwością z zakresu 32...192 kHz. Istotnym parametrem odbiorników jest jitter sygnału zegarowego odczytowanego z danych wejściowych. Wielu konstruktorów uważa, że ten parametr jest kluczowy dla oceny działania odbiornika. Producent WM8804 na pierwszej stronie dokumentacji podaje, że wartość jitter'a może mieć minimalny poziom 50 ps RMS. Jest ona bardzo dobra, ale należy zdawać sobie sprawę, że w układzie rzeczywistym może się nie udać się uzyskać aż tak dokładnego odwzorzenia sygnału zegarowego. A na pewno bez odpowiedniego wyposażenia i niezbędnej wiedzy o tego typu pomiarach, jest trudno dokładnie zmierzyć jitter w sygnale otworzonym przez aplikację. Poza tym, wpływ tego parametru na efekt końcowy zależy od „wrażliwości” przetwornika. Nowoczesne przetworniki radzą sobie z jitem lepiej, niż wcześniejsze konstrukcje.

Układ PLL odtwarzający sygnał zegarowy potrzebuje do pracy sygnału z generatora kwarcowego. Generator jest wbudowany w strukturę odbiornika i do jego działania jest potrzebny zewnętrzny rezonator kwarcowy. Istnieje jednak możliwość doprowadzenia zewnętrznego sygnału zegarowego z generatora. Producent dopuszcza taką opcję z zastrzeżeniem, że ten sygnał również musi mieć mały jitter. Częstotliwość sygnału taktującego WM8804 może zmieniać się w zakresie od 10...27 MHz, ale nie jest dowolna.

Dla sygnału o wybranej częstotliwości trzeba wyliczyć i zaprogramować współczynniki PLL_K i PLL_N. Dlatego elastyczna zmiana częstotliwości wejściowego sygnału taktującego układ PLL jest możliwa tylko w trybie programowym.

Odbiornik może być skonfigurowany do pracy w trybie sprzętowym lub programowym. Konfigurowanie WM8804 sprowadza się do ustalenia formatu danych wyjściowych portu PCM, sposobu traktowania portu (*master* lub *slave*), zaprogramowania układu PLL (tylko programowy) i skierowania sygnału wyjściowego do portu PCM lub nadajnika SPDIF. W tym projekcie odbiornik będzie konfigurowany sprzętowo.

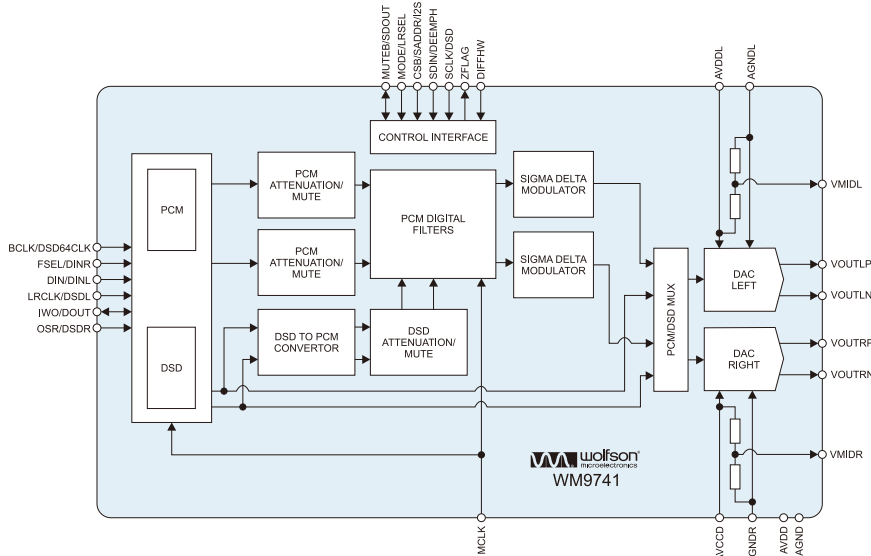
Tryb sprzętowy WM8804

Projektanci Wolfsona zastosowali ciekawy sposób wykorzystania wejść konfiguracyjnych. Stan tych wejść jest odczytywany i zatraskiwany w wewnętrznych rejestrach w czasie wykonywania procedury zerowania (rysunek 2). Dotyczy to zarówno zerowania po włączeniu zasilania, jak i zerowania po wymuszeniu poziomu niskiego na wejściu RESETB. Po zakończeniu procedury zerowania linie konfiguracyjne pełnią rolę linii statusowych (informacyjnych). Dlatego odpowiednio poziomy napięcie trzeba wymuszać za pomocą rezystorów dołączonych do płuśa zasilania lub do masy, tak by układ mógł wystawiać na liniach napięcia wyjściowe bez obawy o uszkodzenie driverów wyjściowych.

Tryb sprzętowy jest wybierany przez wymuszenie poziomu niskiego na wejściu SDIN. Po restarcie to wejście może być użyte jako wejście danych interfejsu PCM. Port PCM może być pracować jako *master* lub *slave*. Jeżeli wejście SCLK jest podciągnięte do plusa, to port po restarcie jest konfigurowany jako *master*. Wtedy wszystkie sygnały zegarowe są generowane przez WM8804. Poziom niski na SCLK załącza tryb *slave* i linie sygnałów zegarowych stają się wejściami. Linia CSB konfiguruje źródło sygnału danych dla modułu nadajnika SPDIF (DIT). Wyzerowanie CSB powoduje, że dane pochodzą z wyjścia odbiornika, a dla wysokiego

Wyprowadzenia	Znacznik statusu
SCLK	TRANS_ERR
SDOUT	NON_AUDIO
CSB	UNLOCK
GPO0	GEN_FLAG

Rysunek 4. Wyjścia statusowe



Rysunek 5. Schemat blokowy przetwornika WM8741

PIN	Nazwa	adres
28	CSB/SADDR/I2S	0 = adres 0011010
		1 = adres 0011011

Rysunek 6. Ustawianie adresu slave układu WM8741

go z portu PCM. Co ważne, port PCM musi mieć wybrany format danych. Do tego celu

wykorzystywane są linie GPO0/AIFCONF[1] i SDOU/AIFCONF[0] (rysunek 3). Po zakończeniu procedury zerowania i odczytaniu stanu wejść linii konfiguracyjnych, stają się one wyjściami statusowymi (rysunek 4).

Poziom znacznika TRANS_ERR informuje, że w trakcie transmisji wystąpiły błędy. Kiedy dane przesyłane interfejsem

SPDIF nie zawierają danych audio PCM (np. kompresowane dane AC3, MP3, DTS itp.), to odbiornik sygnalizuje to poziomem wysokim znacznika NON_AUDIO. Odbiornik po wykryciu danych na wejściu powinien się zsynchronizować z układami PLL. Jeżeli tak się stanie, to znacznik UNLOCK zostanie wyzerowany. W przeciwnym wypadku, UNLOCK pozostaje ustawiony.

Poziom znacznika GEN_FLAG jest sumą logiczną znaczników TRANS_ERR, NON_AUDIO i UNLOCK.

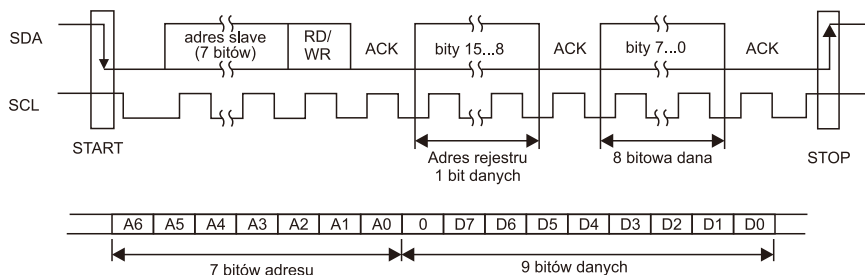
Układ przetwornika

Jak wiemy odbiornik WM8804 (układ U1) pracuje w trybie konfiguracji sprzętowej – wejście MODE jest połączone z masą. Ponieważ odbiornik musi być źródłem wszystkich sygnałów zegarowych, to interfejs PCM musi pracować w trybie master i dlatego wejście SCLK (nóżka 1) jest podciągnięte za pomocą rezystora R16 do plusa zasilania (sygnał +3,3 VD). Po zakończeniu procedury zerowania, wejście konfiguracyjne staje się wyjściem statusowym dla statusu TRANS_ERR i dlatego jest ono połączone z wejściem drivera 74HC04. Umożliwia on opcjonalne sterowania sygnalizacyjnymi diodami LED umieszczanymi na płytce elementów manipulacyjnych interfejsu użytkownika.

Format danych wyjściowych jest ustalany poziomami na wejściach GPO0/SWIFM i GPO2/SDOUT. Wybrałem 24-bitowy format I²S przez podciągnięcie do plusa zasilania wejścia SDOU/GPO2 rezystorem R15 i ściągnięcie do masy wejścia GPO0/SWIFM rezystorem R14. Wejście SDOU/GPO2 jest jednocześnie wyjściem dla sygnału statusowego NON_AUDIO, jest podawane na wejście drivera a jego poziom można sygnalizować za pomocą diody LED.

Na koniec pozostał do przełączenia sygnał z wyjścia odbiornika do portu PCM lub nadajnika SPDIF. My potrzebujemy sygnału na porcie i dlatego wejście CSB jest podciągnięte do plusa zasilania przez rezystor R13. CSB jest też wyjściem sygnału UNLOCK

REKLAMA



Rysunek 7. Wysłanie danych do układu WM8741

Listing 1. Zapisanie danej do WM8741

```
//zapisanie rejestru Wm8741
void SendWM(unsigned char channel, unsigned char reg, unsigned char data){
    i2c_start();
    if(Channel==LEFT)
        i2c_write(0x36); //adres przetwornika lewego kanału
    if(Channel==RIGHT)
        i2c_write(0x34); //adres przetwornika prawego kanału
    i2c_write(reg<<1); //zapisz adres
    i2c_write(data); //zapisz dane
    i2c_stop();
}
```

Rejestr	Bity	Nazwa	Domyślne	opis
Mode control1 07hex	[1:0]	MODESEL	00	00 PCM 01 Direct DSD 10 DSD Plus 11 nie używane

Rysunek 8. Programowanie typu danych wejściowych

Rejestr	Bity	Nazwa	Domyślne	opis
Format Control 05hex	[1:0]	IWL[1:0]	10	00 16bitów 01 20bitów 10 24bity 11 32 bity
	[3:2]	FMT[1:0]	10	00 right justified 01 left justified 10 I ² S 11 DSD

Rysunek 9. Programowanie formatu danych wejściowych

Rejestr	Bity	Nazwa	Domyślne	opis
Mode control1 07hex	[6:5]	OSR[1:0]	00	00 Low rate 32/44,1/48 kHz 01 Medium rate 96 kHz 10 High rate 192 kHz 11 nieużywane

Rysunek 10. Programowanie częstotliwości próbkowania

i jest dołączone (jak poprzednie wyjścia statusowe) do wejścia drivera 74HC04.

W wybranym trybie WM8804 może być taktowany wyłącznie sygnałem o częstotliwości 12 MHz. Jego źródłem jest generator scalony X1. Wyjście generatora jest połączone z wejściem XIN odbiornika.

Sygnały wyjściowe, zegarowe i danych, z portu PCM odbiornika WM8804 są połączone z wejściami portu przetworników przez rezystory szeregowo o rezystancji z zakresu 22...47 Ω. Mają one za zadanie zredukowanie zniekształceń sygnałów powodowanych pojemnościami pasożytniczymi ścieżek obwodu drukowanego.

Magistrala przesyłająca cyfrowe dane audio jest złożona z następujących sygnałów, którym odpowiadają odpowiednie przewody połączeniowe:

- MCLK – sygnał zegara systemowego (*master clock*) o częstotliwości $256 \times fs$,
- LRCK – sygnał zegara identyfikacji kanałów o częstotliwości próbkowania fs ,
- BCK – sygnał zegara taktującego przesyłaniem danych o częstotliwości $64 \times fs$,
- DOUT – sygnał danych.

Linie magistrali są doprowadzone równolegle do wejść obu przetworników WM8741.

Przetwornik WM8741

Układ WM8741 jest sztandarowym i chyba najlepiej znanym produktem firmy Wolfson. Konwersja cyfrowego sygnału na postać analogową jest wykonywana przez przetwornik sigma – delta. Nie jest to typowy modulator 1-bitowy, bo z takiego trudno byłoby uzyskać dobre parametry. Producent podaje tylko tyle że jest to kilkubitowy modulator współpracujący z przetwornikiem impuls/prąd/napięcie. Schemat blokowy WM8741 pokazano na **rysunku 5**.

Jak przystało na nowoczesną konstrukcję, przetwornik może konwertować sygnały w formatach PCM i DSD. Dane wejściowe mogą mieć długość od 16 do 32 bitów, a maksymalna częstotliwość próbkowania wynosi 192 kHz. Wielobitowy modulator sigma – delta pozwala na uzyskanie znakomitych parametrów konwersji:

- 128 dB SNR A – ważone, tryb monaural, $fs=48$ kHz,
- 125 dB SNR A – ważone, tryb stereo, $fs=48$ kHz,
- 123 dB SNR – nieważone, tryb stereo, $fs=48$ kHz,
- –100 dB – THD dla $fs=48$ kHz,

bardzo duża tolerancja na jitter sygnałów zegarowych.

Przetwornik akceptuje wszystkie używane formaty PCM: *right justified*, *left justified*, I²S i DSD. W czasie konwersji sygnału PCM można używać wbudowanego, precyzyjnego, cyfrowego regulatora poziomu sygnału wyjściowego pozwalającego na ustawienie poziomu sygnału wyjściowego w zakresie -127,75...0 dB z rozdzielczością 0,125 dB. Regulator ma wbudowaną funkcję wyciszania *soft mute*. Cechą charakterystyczną WM8741 jest bardzo rozbudowany filtr cyfrowy. Użytkownik może wybrać jedną z 5 dostępnych charakterystyk filtru.

Podobnie jak odbiornik WM8804, przetwornik WM8741 może pracować w trybie sprzętowym i programowym. Tryb sprzętowy jest chętnie używany, bo nie wymaga stosowania sterownika z mikrokontrolerem i pisania programu sterującego. Wszystkie dostępne ustawienia są wykonywane przez wymuszanie odpowiednich poziomów na wejściach konfiguracyjnych. Ponieważ tryb sprzętowy nie będzie tutaj używany, to pominię jego dokładny opis.

Tryb programowy jest ustalany za pomocą wyprowadzenia MODE/LRSEL. Kiedy MODE/LRSEL nie jest dołączone, to jest wybierany tryb programowy ze sterowaniem poprzez interfejs I²C. Ustawienie wejścia ustawia tryb programowy ze sterowaniem poprzez interfejs SPI. Przy ustalaniu trybu sterowania trzeba pamiętać o tym, że wymuszenie stanu wysokiego na wejściu DIFFHW ma wyższy priorytet i wybiera sprzętowy tryb pracy przetwornika monaural.

Zdecydowałem się na sterowanie za pomocą I²C i dlatego wejście MODE/LRSEL pozostało niepodłączone.

Ponieważ w trybie monaural do magistrali I²C musimy dołączyć 2 przetworniki, to każdy z nich musi mieć inny adres. Adres się wybiera poziomem na wejściu CSB/SADDR/I2S (**rysunek 6**). Słowo sterujące przetwornikiem ma długość 16 bitów (2 bajty). 9 młodszych bitów zawiera dane wpisywane do rejestru sterującego, a 7 starszych – adres rejestru. Po wysłaniu na magistralę sekwencji startu i adresu *slave* z bitem R/W=0, wysyłane są dwa bajty danych i adresu (**rysunek 7**). Na **listingu 1** pokazano procedurę zapisu danej do układu WM8741. Procedura ma 3 argumenty: *channel*, *reg* i *data*. Argument *channel* określa, do którego dwóch z przetworników będą zapisywane dane. W argumentcie *reg* jest zapisywany adres rejestru, a w *data* dane przeznaczone do wysłania.

Przetwornik może dekodować dane PCM i DSD. Odtwarzanie DSD jest możliwe prak-

tycznie tylko w fabrycznych odtwarzaczach, bo standard SACD nie dopuszcza wyprowadzenia sygnału cyfrowego poza urządzenie. Przez łącze SPDIF są przesyłane dane PCM i przetwornik należy skonfigurować w taki sposób, aby akceptował takie dane na wejściu. Typ danych wejściowych wybiera się zapisując 2 najmłodsze bity rejestru *Mode Control* o adresie 0x07, co pokazano na **rysunku 8**. Po restarcie układ domyślnie zeruje bity MODSEL i nie ma potrzeby ich programowania dla danych PCM. Format danych wejściowych PCM musi być taki sam, jak format danych wyjściowych z odbiornika WM8804. Przypomnijmy, że w WM8804 wybrano dane w formacie I²S o długości 24 bajtów. W przetworniku format danych wejściowych PCM jest ustawiany za pomocą rejestru *Format Control* o adresie 0x05. Jego strukturę pokazano na **rysunku 9**.

Kolejną czynnością konfiguracyjną jest zaprogramowanie częstotliwości próbkowania sygnału wejściowego. WM8741 ma bardzo rozbudowane filtry cyfrowe dla danych PCM. Może trochę dziwić brak automatycznej detekcji częstotliwości próbkowania, ale pewnie producent miał jakiś powód, by to ustawienie musiało być wykonane „ręcznie”. Częstotliwość próbkowania ustawia się zapisując bity 6 i 5 rejestru *Mode Control*. Jest to o tyle ważne, że po ustawieniu próbkowania na *Low Rate* i podaniu sygnału o $fs=96$ kHz przetwornik (filtr cyfrowy) nie działa i na wyjściu pojawiają się tylko szumy. Po ustawieniu *Medium Rate* i podaniu sygnału 44,1 kHz przetwornik działa prawidłowo, ale filtr cyfrowy zaczyna ograniczać pasmo od 16 kHz. Program sterujący przetwornikiem ma wbudowaną funkcję ustawiania i zapamiętywania wejściowej częstotliwości próbkowania. Mnożnik częstotliwości sygnału zegara systemowego *Master Lock* może być wykrywany automatycznie. Można też wybrać jedną ze standardowych wartości mnożnika: 128, 192, 256, 384, 512 i 768. Domyślnie mnożnik jest wykrywany automatycznie. Za trybu wykrywania mnożnika odpowiadają bity [3:4] rejestru *Mode Control1* umieszczonego pod adresem 0x07.

Charakterystyka cyfrowego filtra przetwornika zależy od zaprogramowanego zakresu częstotliwości próbkowania (**rysunek 10**) i wybranego numeru charakterystyki. Numer charakterystyki jest programowany trzema najmłodszymi bitami rejestru *Filter Control* (**rysunek 11**).

Przetwornik WM8741 może pracować w domyślnym trybie stereo. Wtedy układ dekoduje dwa kanały stereofoniczne. Można też zaprogramować go, tak aby dekodował tylko jeden kanał. Taki tryb pracy często jest nazywany *monaural*, ale producent nazywa go trybem pracy mono. W tym przetworniku wykorzystałem tryb pracy mono, ale ponieważ konfiguracja jest pro-

Rejestr	Bity	Nazwa	Domyślne	opis
Filter control 07hex	[2:0]	FIRSEL	000	000 ch-ka1
				001 ch-ka2
				010 ch-ka3
				011 ch-ka4
				100 ch-ka5

Fs rate	Charakterystyka	Filtr
Low	1	Linear phase half band
	2	Minimum phase „soft knee”
	3	Minimum phase half-band
	4	Linear phase apodising
	5	Minimum phase apodising
Medium	1	Linear phase „soft knee”
	2	Minimum phase „soft knee”
	3	Linear phase „brickwall”
	4	Minimum phase apodising
	5	Linear phase apodising
High	1	Linear phase „soft knee”
	2	Minimum phase „soft knee”
	3	Linear phase „brickwall”
	4	Minimum phase apodising
	5	Linear phase apodising

Rysunek 11. Programowanie charakterystyki filtrów danych PCM

Rejestr	Bity	Nazwa	Domyślne	opis
Mode Control2 08h	[3:2]	DIFF[1:0]	00	00 stereo
				01 stereo z zamienionymi miejscami kanałami L, R
				01 mono lewy
				11 mono prawy

Rysunek 12. Programowanie trybu mono/stereo

gramowa, to nic nie stoi na przeszkodzie, by zastosować jeden przetwornik w trybie stereo. W takim wypadku można będzie zamontować tylko jeden układ WM8741. Zmiana trybów wiąże się z różnymi sygnałami różnicowymi na wyjściu, ale to omówimy dokładniej przy okazji omawiania wyjściowego filtra analogowego. Tryb stereo/mono jest programowany przez zapisywanie bitów [3:2] rejestru *Mode Control2* o adresie 0x08 (rysunek 12).

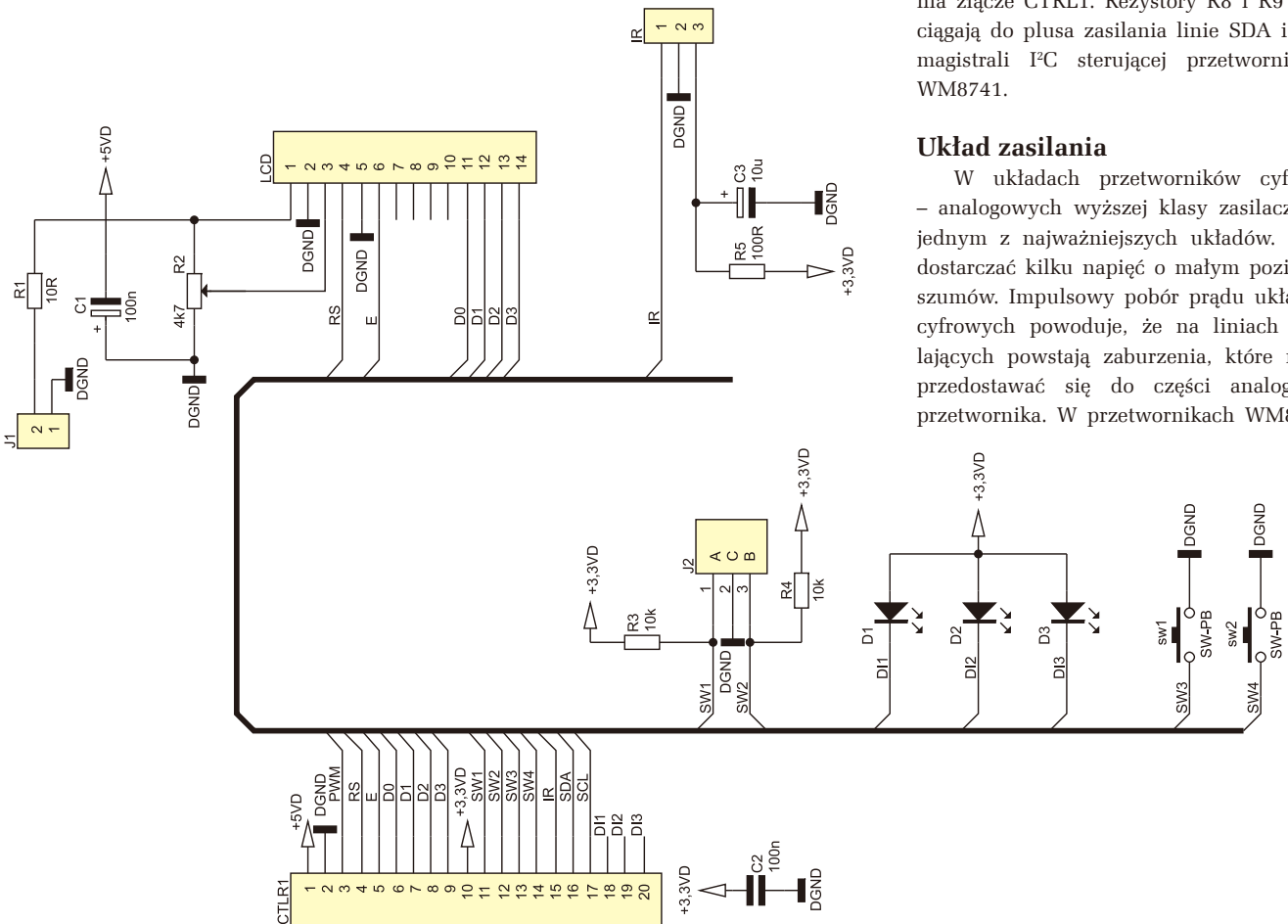
Sterownik mikroprocesorowy

Sterownik zbudowano z użyciem mikrokontrolera PIC18F2580. Interfejs użytkownika tworzą: wyświetlacz LCD 2×16 znaków, impulsator (encoder obrotowy) firmy Bo-urns i jeden przycisk (mikrostryk). Dołączenie odbiornika podczerwieni pracującego z częstotliwością nośną 36 kHz umożliwia sterowanie funkcjami D/A za pomocą pilota z kodami RC5.

Elementy interfejsu użytkownika: wyświetlacz LCD, impulsator, opcjonalne diody LED oraz mikrostryki, są umieszczone na oddzielnej płytce. Jej schemat pokazano na rysunku 13. Mikrokontroler w obudowie do montażu powierzchniowego jest montowany na płytce razem z przetwornikami. Złącze ICSP jest przewidziane do podłączenia programatora. Połączenie wszystkich sygnałów i zasilania do płytki z wyświetlaczem zapewnia złącze CTRL1. Rezystory R8 i R9 podciągają do plusa zasilania linie SDA i SCL magistrali I²C sterującej przetwornikami WM8741.

Układ zasilania

W układach przetworników cyfrowo – analogowych wyższej klasy zasilacz jest jednym z najważniejszych układów. Musi dostarczać kilku napięć o małym poziomie szumów. Impulsowy pobór prądu układów cyfrowych powoduje, że na liniach zasilających powstają zaburzenia, które mogą przedostawać się do części analogowej przetwornika. W przetwornikach WM8741,



Rysunek 13. Schemat ideowy płytki interfejsu użytkownika

Wykaz elementów
Płytki przetworników WM8741

Rezystory: (SMD 1206)

R18...R21: 22 Ω
R1: 75 Ω
R10...R12: 330 Ω
R8, R9: 4,7 kΩ
R7, R13...R17: 10 kΩ

Kondensatory:

C13, C39...C41, C62, C63: 10 nF/100 V (SMD 1206, X7R)
C3, C5, C6, C9, C11, C12, C14, C18, C19, C22, C23, C27...C30, C46, C48, C50, C52, C55, C56: 100 nF/100 V (SMD 1206, X7R)
C1: 100 nF/63 V (MKT)
C15: 1 μF/16 V (tantalowy, SMD 3216)
C25, C42...C44, C57, C64, C65: 1 μF/35 V (tantalowy)
C32, C36...C38, C60, C61: 10 μF/10 V (tantalowy, SMD 3528)
C4, C7, C8, C10, C16, C17, C20, C21, C31, C45, C47, C49, C51: 10 μF/25 V (przewlekany, fi=5 mm, r=2,5 mm; Panasonic, BC Components)
C24, C53: 2200 μF/16 V (fi=10 mm, r=5 mm)

Półprzewodniki:

U9...U11: LT1763CS83.3PBF
U12, U13: L1763 CS8-5PBF
U6: 7805 (TO-220)
U7, U8: 7806 (TO-220)

Odbiornik SPDIF

Półprzewodniki:

U1: WM8804
U2, U5: WM8741
U3: PIC18F2580
D1...D8: 10BQ040PBF

Inne:

Generator kwarcowy 12 MHz (5 mm×7 mm)
Złącz ARK2 – 2 szt.

Płytki filtra analogowego (uwaga: elementy dla jednego kanału!)

Rezystory: (metalizowane; tolerancja 1%, moc 0,6 W; najlepiej Beyshlag)

R15: 10 Ω
R6, R13: 16 Ω
R4, R5, R17: 110 Ω
R16: 220 Ω
R7, R14: 270 Ω
R8, R9: 330 Ω
R18: 680 Ω
R10: 1 kΩ
R1...R3, R11, R12: 47 kΩ

Kondensatory: (tolerancja 2%)

C1, C2: 47 pF (styrorefleksowy)
C8: 100 pF/100 V (styrorefleksowy lub polipropylenowy MKP – r=8 lub 12 mm)
C5, C6, C20: 270 pF (MKP, r=5 mm)
C11, C16, C19, C21: 3,3 nF/100 V (MKP, r=5 mm)
C10, C12: 4,7 nF/100 V (MKP, r=5 mm)
C4, C7, C14, C15, C23, C24: 100 nF/63 V (MKT, r=5 mm)
C3, C9, C13, C17, C18, C22, C25: 10 μF/25 V

Półprzewodniki:

U1...U3: OPA604

Elementy dla sekcji zasilania (komplet dla całej płytki)

Rezystory:

R19, R21: 220 Ω
R20, R22: 5 kΩ (pot. wieloobrotowy Helitrim. typ T910W-5K lub zamiennik)

Kondensatory:

C27, C28, C29, C31...C33: 10 μF/25 V (fi=5 mm, r=2,5 mm; Panasonic, BC Components)
C26, C27: 2200 μF/25 V (fi=10 mm, r=5 mm)

Półprzewodniki:

U5: LT317
U4: LT337
D1...D8: 10BQ040PBF

Inne:

Złącza ARK2 – 2 szt.

Płytki panelu czołowego

Rezystory:

R1: 10 Ω/0,6 W
R5: 100 Ω (SMD1206)
R3, R4: 10 kΩ (SMD1206)
Potencjometr montażowy 4,7 kΩ

Kondensatory:

C1, C3: 10 μF/10 V (tantalowy, SMD 3528)
C2: 100 nF (SMD 1206)

Inne:

Wyświetlacz LCD 2×16 znaków (uwaga: w wyprowadzeniach zamieniony pin 1 i 2 (zasilanie) w stosunku do większości wyświetlaczy dostępnych na rynku)
Impulsator Bourns ECW1J-B24

w których są wykorzystywane modulatory sigma – delta i rozbudowane filtry cyfrowe, problem z zakłóceniami na liniach zasilania jest nie do pominięcia. Konstruktorzy scalonych przetworników D/A wyprowadzają oddzielnie masy i linie zasilające dla układów analogowych i cyfrowych. W układach firmy Wolfson projektanci poszli dalej i rozdzielili zasilania poszczególnych bloków układów analogowych. Żeby wykorzystać potencjał przetwornika, ale też odbiornika SPDIF, postanowiłem rozbudować układ zasilania i wydzielić osobne bloki zasilaczy:

- Zasilacz napięcia +5 V dostarczający z dwóch stabilizatorów dwóch napięć „+5 VAR” i „+5 VAL”, zasilających układy analogowe przetwornika kanału prawego i kanału lewego.
- Zasilacz napięcia +3,3 V dostarczający napięcia „+3,3 VA” do zasilania układów analogowych pętli PLL odbiornika WM8804.
- Zasilacz napięcia +3,3 V dostarczający napięcia „+3,3 VD” do zasilania układów cyfrowych obu przetworników.
- Zasilacz napięcia +3,3 V dostarczający napięcia „+3,3 VDD” do zasilania układów cyfrowych odbiornika WM8804, mikrokontrolera PIC18F2580 i scalonego generatora 12 MHz.
- Zasilacz napięcia +5 V do zasilania wyświetlacza LCD.

Na płytce drukowanej linie zasilające są prowadzone w topologii gwiazdy, a masy cyfrowa i analogowa są rozdzielone i połączone w jednym punkcie w pobliżu mostków prostowniczych. Zasilacz ma dwa niezależne mostki prostownicze: osobny dla napięć zasilających obwody analogowe i osobny dla napięć zasilających obwody cyfrowe. Transformator zasilający powinien mieć dwa uzwojenia dostarczające napięcie o wartości ok. 9...10 V i obciążalności 300 mA.

Źródłem najbardziej niewralgicznych sygnałów zasilania: „+5 VAR”, „+5 VAL”, „+3,3 VA”, „+3,3 VD” i „+3,3 VDD” są niskoszumne stabilizatory LDO typu LT1763. Stabilizatory mają ustalone napięcie wyjściowe i dlatego są potrzebne dwa typy o ustalonym napięciu wyjściowym: LT1763-3.3 i LT1763-5. Aby zapobiec wydzielaniu się zbyt dużej mocy na stabilizatorach LT1763 zastosowałem stabilizację wstępną na dwu stabilizatorach 7806 w obudowach TO-220 (osobno dla napięć cyfrowych i osobno dla napięć analogowych).

Podsumowanie

W kolejnej części artykułu opiszę filtr rekonstruujący, sposób uruchomienia oraz wyniki pomiarów przetwornika. Spróbujemy też podsumować wyniki naszej „bitwy” i wybrać lepsze rozwiązanie.

Tomasz Jabłoński, EP