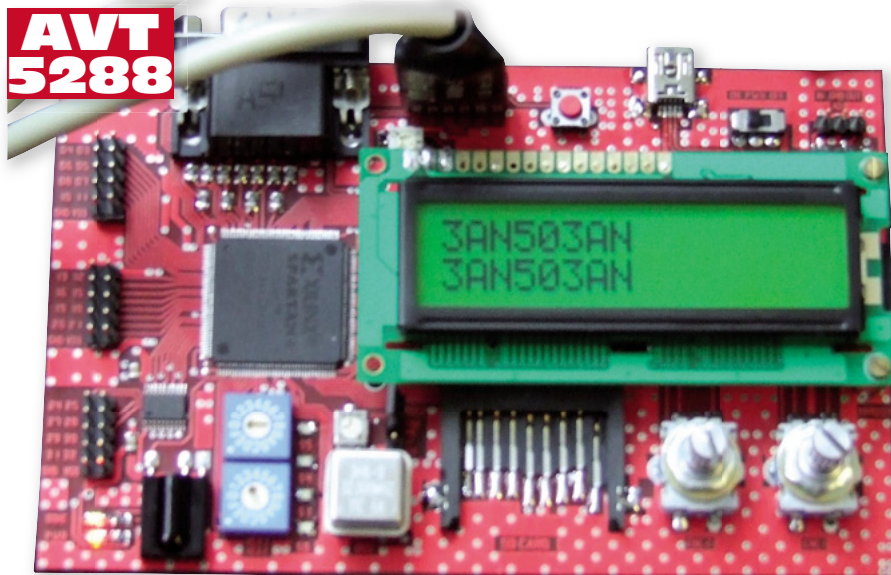


# Zestaw uruchomieniowy dla układów FPGA Spartan 3AN50



Programowanie układów FPGA to temat, który budzi zainteresowanie wielu osób, jednak w jego nauce często przeszkadzają wysokie ceny fabrycznych zestawów ewaluacyjnych. Dlatego też po projekcie zestawu ewaluacyjnego dla układów Cool Runner prezentujemy zestaw dla układów Spartan 3AN50 firmy Xilinx. Jego samodzielne zbudowanie jest alternatywą dla zakupu kosztownych zestawów fabrycznych.

**Rekomendacje:** zestaw przyda się do nauki programowania w domu i w pracowni uczelni technicznej.

Po zapoznaniu się z układami PLD (zestaw CoolPCB z EP11/2010), układy FPGA są kolejnym krokiem w nauce programowania. FPGA mają znacznie większe zasoby sprzętowe umożliwiające realizację nawet bardzo złożonych układów cyfrowych. Podobnie jednak jak w przypadku CPLD, zestawy startowe odstrasza cenami zakupu. Na **rysunku 1** pokazano schemat blokowy opisywanego zestawu ewaluacyjnego. Jest on oparty o nowoczesny układ programowalny FPGA firmy Xilinx z rozszerzonej rodziny Spartan3 – 3AN50. Jest największy z tej rodziny układów, a jego największą zaletą jest wbudowana pamięć konfiguracji. Oprócz tego do użycia w zestawie zachęciły mnie: możliwa do przylutowania w warunkach domowych obudowa TQFP144 z wyprowadzeniami roz-

mieszczonymi w rastrze 0,5 mm, niewielki pobór mocy, prosty układ zasilania (wymaga tylko dwóch napięć 3,3 V i 1,2 V) oraz dostępność układów.

## Opis układu

Schemat ideowy zestawu pokazano na **rysunku 2**. Jak wspomniano, sercem zestawu jest układ programowalny FPGA Spartan 3AN50 (U1). Wyprowadzenia I/O układu są połączone ze złączami szpilkowymi umożliwiającymi podłączenie sygnałów zewnętrznych lub peryferiami układu uruchomieniowego. Etykiety wyprowadzeń złączy odpowiadają fizycznym numerom wyprowadzeń U1, co ułatwia połączenia, gdyż opis złączy jest zgodny z opisem pliku \*.ucf definiującym przyporządkowanie wyprowa-

**AVT-5288 w ofercie AVT:**  
AVT-5288A – płytka drukowana

### Podstawowe informacje:

• FPGA Xilinx Spartan3AN50 (50 tys. bramek przeliczeniowych), z wbudowaną pamięcią konfiguracji,

Peryferia wejściowe:

- dwa enkodery obrotowe z przyciskiem wraz z układem polaryzacji,
- dwa nastawniki binarne 0h/Fh z układem polaryzacji,
- odbiornik podczerwieni RC5,

Peryferia wyjściowe:

- wyświetlacz LCD 2×16 znaków zgodny z HD44780
- cztery diody LED,
- wyjście VGA, z przetwornikiem DA 2+2+2 bity na drabince rezystorowej,

Peryferia analogowe:

- przetwornik A/C 12-bit, z interfejsem I<sup>2</sup>C,
- przetwornik C/A 12-bit, z interfejsem I<sup>2</sup>C,
- źródło napięcia odniesienia 4,096 V dla przetworników

Ponadto:

- zasilacz +1,2 V (dla rdzeni 3AN50)
- zasilacz +3,3 V dla zasilania buforów I/O i peryferii zestawu,
- oscylator kwarcowy DIP8
- przestrajany generator przebiegu prostokątnego LTC1799, 1 kHz...20 MHz
- „pełny” port szeregowy RS232, zrealizowany w oparciu o konwerter USB/RS232 FTDI232RL,
- dwukierunkowy konwerter poziomów 3,3 V/5 V dla peryferii starszego typu zgodnych ze standardem 5 V,
- 64 K pamięć EEPROM I<sup>2</sup>C,
- złącze karty pamięci SD,
- wyłącznik zasilania z sygnalizacją obecności zasilania,
- złącza rozszerzeń 2×8 bit, do wyprowadzenia sygnałów z płytki,
- złącze rozszerzeń dla modułów Digilent 6/12 pinów.

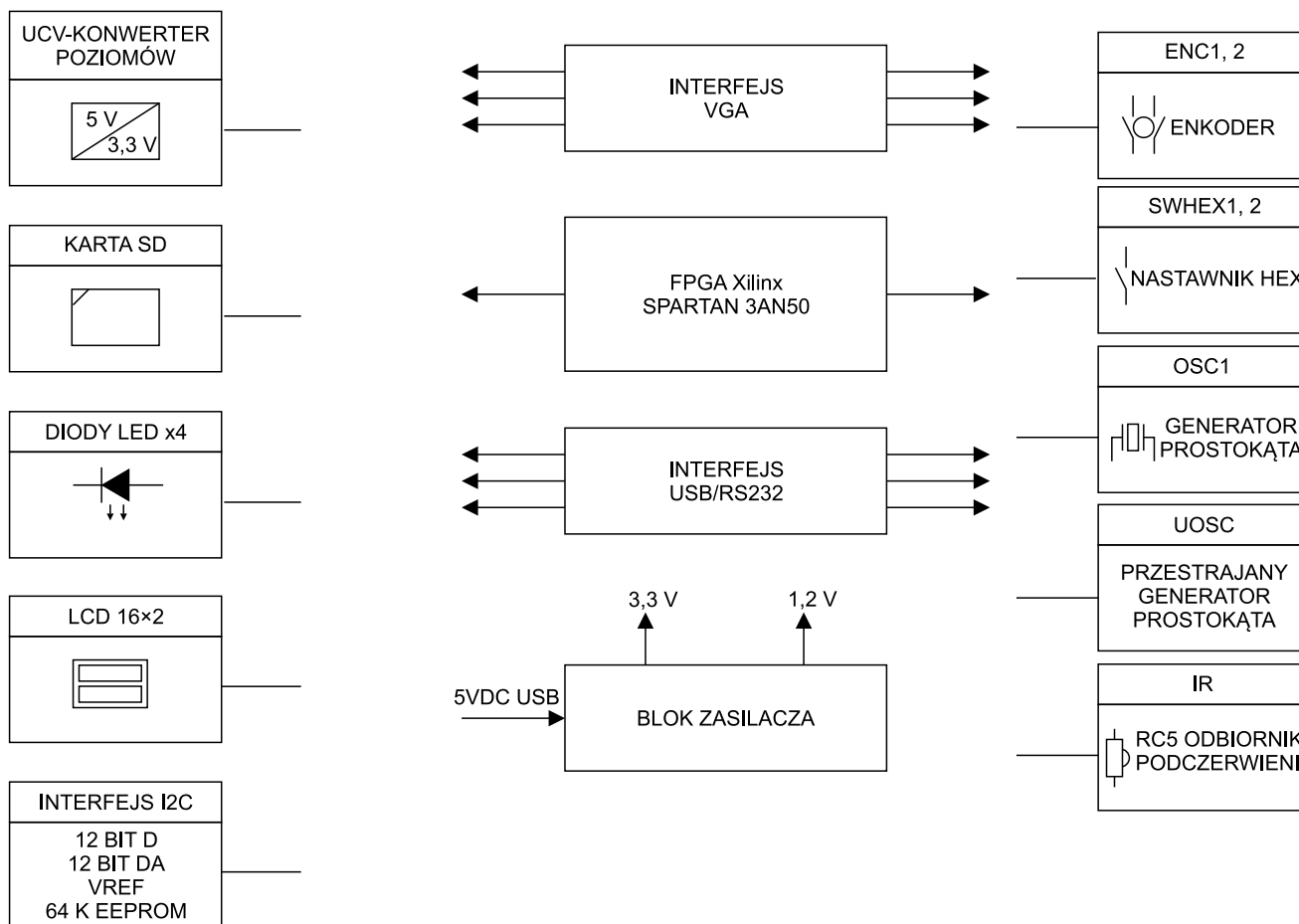
### Dodatkowe materiały na CD/FTP:

- <ftp://ep.com.pl>, user: 14039, pass: 4p80b5b5
- wzory płytek PCB
- karty katalogowe i noty aplikacyjne elementów oznaczonych w **Wykazie elementów** kolorem czerwonym

### Projekty pokrewne na CD/FTP:

(wymienione artykuły są w całości dostępne na CD)

- AVT-5275 ZEPIC – Zestaw ewaluacyjny dla mikrokontrolerów PIC (EP 2/2011)
- AVT-5272 Avtduino (EP 1/2011)
- AVT-2975 STM32 DSP KIT (EdW 1/2011)
- AVT-5263 CoolPCB – Zestaw uruchomieniowy CPLD (EP 11/2010)
- AVT-2875 LogicMaster – płytka prototypowa dla CPLD (EdW 8/2008)
- AVT-939 Zestaw startowy dla mikrokontekstów ST7FLITE2x (EP 7–8/2006)
- AVT-926 Zestaw startowy dla PSoC (EP 4/2006)
- AVT-920 Zestaw startowy z MSP430F413 (EP 2–3/2006)
- AVT-3505 Płytki testowa do kursu C (EdW 1/2006)
- AVT-3500 Płytki testowa do kursu BASCOM AVR (EdW 10/2002)
- AVT-992 Zestaw uruchomieniowy dla AVR i 51 (EP 1–2/2001)
- AVT-2500 Płytki testowa do kursu BASCOM 8051 (EdW 3/2000)
- AVT-2250 Mikrokomputer edukacyjny z 8051 (EdW 8/1997)
- eMeSPek Komputer z mikrokontrolerem MSP430F1232 (EP 4/2008)



Rysunek 1. Schemat blokowy zestawu uruchomieniowego

dzeń układu do realizowanej funkcji logicznej. W przypadku sygnałów o „określonej” funkcji, etykiety odpowiadają skróconym nazwom sygnałów sterujących.

Ze względu na konieczność współpracy z komputerem PC (oprogramowanie Web Pack), jako podstawowe źródło zasilania przewidziano port USB. Zasilanie poprzez kabel MiniUSB doprowadzone jest do gniazda PWR1, stąd poprzez wyłącznik SW1 do układów UP1, UP2 wytwarzających napięcia zasilania zestawu. Układ U1 wymaga zasilania dwoma napięciami: 1,2 V (VCCINT) to zasilanie wewnętrznej programowalnej logiki układu oraz 3,3 V (VCC0x, VAUX) służące do zasilania bloków interfejsowych sterujących wyprowadzeniami I/O U1 oraz peryferii zestawu. Zasilanie bloków interfejsowych ustalono kompromisowo na najbardziej uniwersalne 3,3 V.

**UWAGA: Układy Spartan 3AN50 nie są zgodne ze standardem 5 V, doprowadzenie napięcia wyższego niż 3,3 V do wyprowadzeń IO może uszkodzić układ U1.**

Napięć zasilających dostarczają układy stabilizatorów LDO UP1 typu MCP1700, dla napięcia 1,2 V, UP2 typu LM1117 dla 3,3 V. Stabilizatory odprężnięte są odpowiednio kondensatorami CPxx. Zaletą układu MCP1700 jest możliwość zastosowania odprężania kondensatorami ceramicznymi o pojemności 1  $\mu$ F zamiast tantalowych

10  $\mu$ F, jak to ma miejsce w przypadku serii LM1117. Dioda LDP sygnalizuje zasilanie zestawu. Napięcie 3,3 V jest także wykorzystane do zasilania peryferii, w tym celu razem z potencjałem masy wyprowadzone jest na złącza B30, B31, JPM. Sumaryczny pobór mocy ze względu na straty w stabilizatorze UP2 nie powinien przekraczać 100 mA.

Do programowania układów w systemie jest używany interfejs JTAG. Sygnały sterujące z programatora należy doprowadzić do złącza JTAG (zasilanie 3,3 V). W przypadku zastosowania programatorów DIGILENT JTAG-USB lub JTAG-LPT jest możliwe bezpośrednio zainstalowanie ich w gnieździe JTAG. W przypadku innych programatorów jest konieczne wykonanie połączeń z zachowaniem zgodności sygnałów sterujących.

Dioda LD sygnalizuje prawidłowo skonfigurowany/zaprogramowany układ U1. Przełącznik S0 umożliwia wymuszenie konfiguracji układu FPGA.

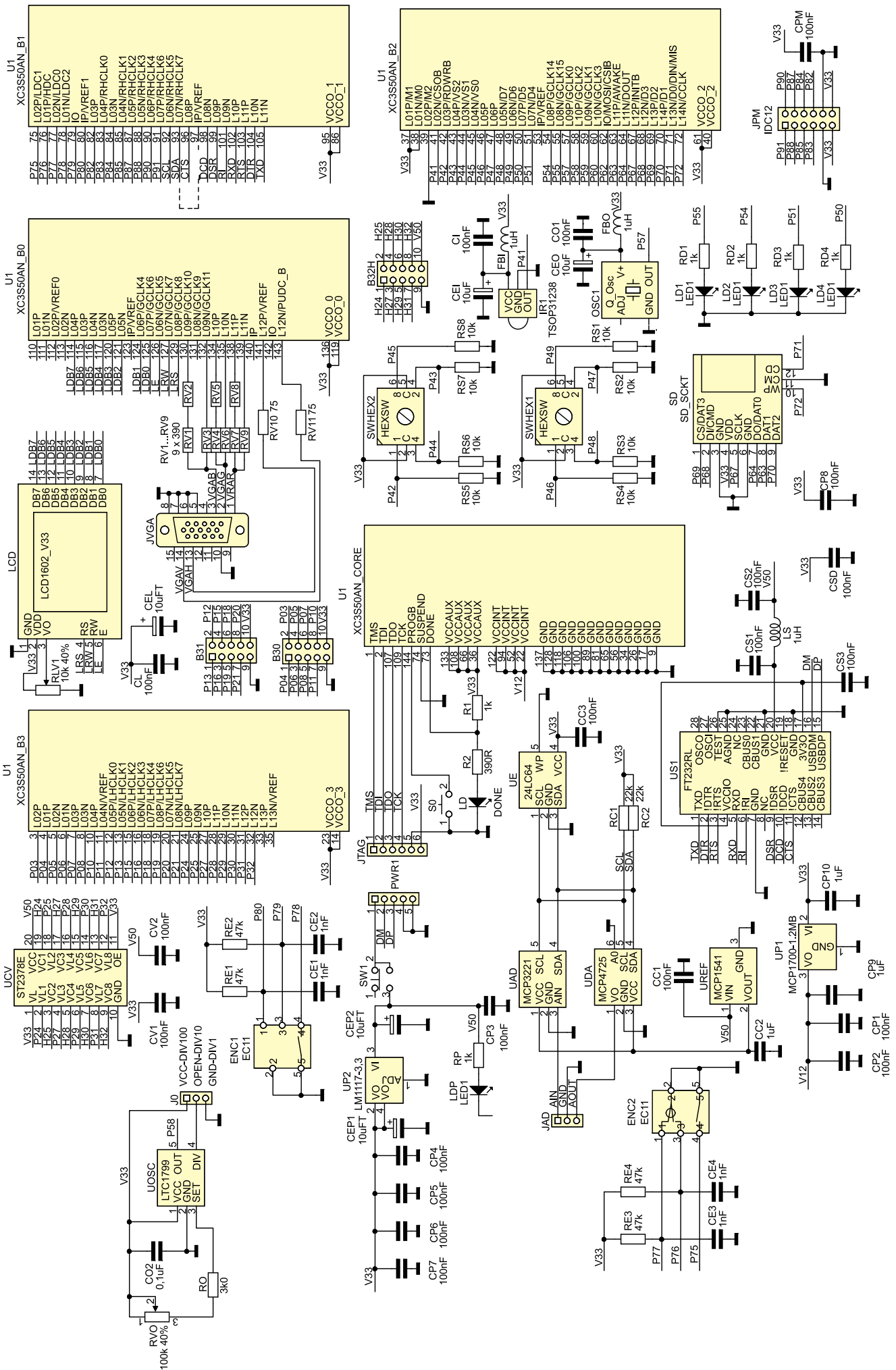
**Enkoder obrotowy i przyciski.** Enkoder jest podstawowym elementem układu interfejsu użytkownika. Zapewnia wygodę i intuicyjność sterowania. Coraz częściej zastępuje tradycyjne klawiatury. Na płytce układu uruchomieniowego zastosowano dwa enkodery ENC1, 2 z serii EC11 z dodatkowym przyciskiem. Sygnały wyjściowe A i B enkoderów doprowadzone są bezpośrednio do wyprowadzeń U1 (P75-P80). Enkodery współpra-

cują z obwodami polaryzacji i wstępnej filtracji sygnałów wyjściowych RE1-4, CE1-4.

**Nastawniki binarne 0-F.** Drugim układem interfejsu użytkownika są nastawniki binarne SWHEX1,2. Sygnały z nastawników są doprowadzone bezpośrednio do U1 (P42-P49), rezystory RS1...8 zapewniają poprawną polaryzację. W zależności od potrzeb, można zastosować nastawniki w kodzie dziesiętnym lub binarnym zanegowanym. W modelu wykorzystano nastawniki w kodzie binarnym prostym, nastawie 0h odpowiada stan 0000 na wyjściach bitowych ważonych -1248.

**Odbiornik podczerwieni.** W prototypie zastosowano odbiornik pracujący przy czę-

REKLAMA



Rysunek 2. Schemat ideowy zestawu FPGA

stotliwości 38 kHz i o rozszerzonym zakresie napięcia zasilania 2,7...5 V typu TSOP31238. Sygnały wyjściowe odbiornika doprowadzone są do U1 (P41). Elementy CEI, CI, FBI zapewniają filtrację zasilania, niezbędną do poprawnego funkcjonowania odbiornika IR1. W przypadku kłopotów z zakupem dławika FBI, można go zastąpić rezystorem SMD (0805) o rezystancji 47...100 Ω.

**Wyświetlacz LCD 2×16.** Podstawowym elementem „wyjściowym” interfejsu użytkownika jest moduł wyświetlacza LCD o organizacji 2×16 znaków. Moduł ma sterownik zgodny z HD44780. Wyświetlacz musi akceptować napięcie 3,3 V, ponieważ bufony I/O układów Spartan 3AN50 nie umożliwiają dołączenia 5 V. Zasilanie LCD jest filtrowane za pomocą kondensatorów CL, CEL. Do regulacji kontrastu służy potencjometr RLV1. Wszystkie sygnały sterujące LCD doprowadzone są do układu U1 i w zależności od potrzeb można do komunikacji z wyświetlaczem zastosować interfejs 4- lub 8-bitowy.

**Diody LED.** Zestaw jest wyposażony w cztery diody LED (LD1...4) z rezystorami (RD1...4). Można ich użyć np. do wskazywania stanów wyjść. Podłączone są bezpośrednio do wyprowadzeń U1 (P50/1, P54/55).

**Peryferia analogowe.** Układ 3AN50 ma spore zasoby sprzętowe, można więc pokusić się o zaimplementowanie interfejsu I<sup>2</sup>C, a co za tym idzie, wykorzystanie szerokiej gamy układów peryferyjnych z tym popularnym interfejsem. W przypadku zestawu uruchomieniowego zastosowano przetworniki A/D i D/A umożliwiające dołączenie cyfrowego FPGA do „świata analogowego”. Jako przetwornik A/D wykorzystano układ typu MCP3211 o rozdzielczości 12 bitów, natomiast jako przetwornik D/A układ MCP4725, także o rozdzielczości 12 bitów. Ze względu na niewielki pobór mocy, przetworniki są zasilane ze źródła napięcia odniesienia 4,096 V typu MCP1541. Należy pamiętać o buforowaniu wejścia D/A lub obciążaniu go rezystancją większą niż 100 kΩ. Gdy nie przewidujemy eksperymentów z sygnałami analogowymi, można przetworników nie montować. Sygnały analogowe (wejściowy i wyjściowy) są doprowadzone do złącza JAD.

**Oscylator kwarcowy.** Dla zapewnienia wzorcowego sygnału prostokątnego, wykorzystano typowy scalony oscylator OSC1 w obudowie DIP8 przystosowany do zasilania napięciem 3,3 V. Zasilanie jest filtrowane za pomocą kondensatorów CEO, CO i dławika FBO. Częstotliwość zastosowanego generatora zależy od konkretnego przeznaczenia, dlatego OSC1 zamontowany jest na podstawie DIP8. Sygnał z oscylatora jest doprowadzony do wejścia globalnego zegara GCLK0 układu U1.

**Przestrajany generator przebiegu prostokątnego.** Podczas uruchamiania układów

cyfrowych bardzo przydatny (oprócz sygnału zegarowego o stałej częstotliwości z oscylatora kwarcowego) jest sygnał prostokątny o regulowanej częstotliwości. Do generowania takiego przebiegu wykorzystano specjalizowany oscylator UOSC typu LTC1799. Ten układ ma przestrajany rezystorem generator przebiegu prostokątnego z dzielnikiem przez 1/10/100. Dzięki temu umożliwia pokrycie zakresu generowanych sygnałów od 1 kHz do około 20 MHz. Do płynnego przestrajania generatora służy potencjometr RVO podłączony do wejścia UOSC-SET, do zmiany stopnia podziału służy zwora w złączu J0 podłączona do pinu UOSC-DIV. Zwarcie wyprowadzeń J0 1–2 konfiguruje dzielnik do podziału przez 100, zwarcie 2–3 wyłącza dzielnik (podział przez 1), wyciągnięcie zwory, czyli pozostawienie wyprowadzenia DIV niepodłączonego, wymusza podział przez 10. Kondensator CO2 odspręża zasilanie UOSC. Sygnał generatora doprowadzony jest do wejścia globalnego zegara GCLK1 układu U1.

**Interfejs USB/RS232.** Dla umożliwienia komunikacji zestawu FPGA z PC, zastosowano popularny układ konwertera interfejsu szeregowego RS232/USB firmy FTDI typu RL232RL. Do wyprowadzeń U1 doprowadzono sygnały „pełnego” interfejsu RS232 udostępnione przez US1. Elementy CS1/2/3 LS odsprężają zasilanie US1.

**Konwerter poziomów.** W celu ułatwienia współpracy z układami starszego typu zasilanymi z 5 V zastosowano dwukierunkowy konwerter poziomów UCV typu ST2378E. Zapewnia on dopasowanie sygnałów logicznych TTL do standardów niskonapięciowych. Dostępnych jest 8 linii dwukierunkowych, podłączonych bezpośrednio do U1. Do złącza B32H można doprowadzić sygnały zewnętrzne w standardzie TTL. Do złącza doprowadzone jest także napięcie 5 V z portu USB, można je wykorzystać do zasilania układów prototypowych. Zasilanie UCV odsprężone jest kondensatorami CV1, CV2.

**Pamięć EEPROM 64 kB.** Płytkę wyposażono w pamięć EEPROM (UE) typu 24LC64 z interfejsem I<sup>2</sup>C. Rezystory RC1, RC2 zapewniają zasilanie magistrali I<sup>2</sup>C. W zależności od potrzeb, można zworą zewrzeć wyprowadzenia P97/P93 U1 do doprowadzania sygnału SDA z buforów jednokierunkowych lub skorzystać tylko z pinu U1-93 i wykorzystywać bufony dwukierunkowe.

**Złącze karty pamięci SD.** Alternatywą dla pamięci UE jest użycie pamięci SD. W tym celu zestaw został wyposażony w gniazdo kart SD (poprzez adapter także microSD). Do układu U1 doprowadzone są wszystkie sygnały karty SD wraz z czujnikiem obecności karty i zabezpieczenia przed zapisem.

**Złącza rozszerzeń.** W celu umożliwienia dołączenia zewnętrznych układów zastoso-

### Wykaz elementów

#### Rezystory: (SMD 0805)

R1, RD1...RD4, RP: 1 kΩ

R2: 390 Ω

RC1, RC2: 22 kΩ

RE1...RE4: 47 kΩ

RLV1: 10 kΩ potencjometr TS35

RS1...RS8: 10 kΩ

RV1...RV9: 390 Ω

RV10, RV11: 75 Ω

RVO: 100 kΩ potencjometr TS35

#### Kondensatory:

CC1, CC3, CI, CL, CO1, CP1...CP8, CPM, CS1...CS3, CSD, CV1, CV2, CO2: 100 nF (SMD 0805)

CC2, CP9, CP10: 1 μF (SMD 0805)

CEI, CEO: 10 μF/6,3 V (elektrolit.)

CEL, CEP1, CEP2: 10 μF/6,3 V (tantalowy)

#### Półprzewodniki:

IR1: TSOP31238

LD: dioda LED zielona 0805

LD1, LD2, LD3, LD4, LDP: dioda LED czerwona 0805

U1: XC3550AN VQFP144

UAD: MCP3221 (SOT-23/5)

UCV: ST2378E (SSOP-20)

UDA: MCP4725 (SOT-23/6)

UE: 24LC64 (SOT-23/5)

UOSC: LTC1799 (SOT-23/5)

UP1: MCP1700-1.2MB (SOT-89)

UP2: LM1117-3.3 (SOT-23)

UREF: MCP1541 (SOT-23)

US1: FT232RL (SSOP-28)

#### Inne:

B30, B31, B32H: wtyk IDC10

ENC1, ENC2: Enkoder EC-11 z przyciskiem

J0, JAD: złącze szpilkowe IDC 1×3, raster

2,54 mm

JTAG: złącze szpilkowe IDC 1×6, raster

2,54 mm

JVGA: DB15RAHD/F (złącze VGA)

LCD: LCD\_HY1602 (moduł wyświetlacza LCD 2×16; 3,3 V)

OSC1: generator kwarcowy DIP

PWR1: złącze MiniUSB do druku

S0: wyłącznik dwupozycyjny do druku

SD: złącze karty SD SMD ze stykami pomocniczymi

SW1: mikroprzełącznik

SWHEX1, SWHEX2: Koder binarny

wano w zestawie dwa złącza B30 i B31. Do każdego z nich doprowadzono bezpośrednio osiem wyprowadzeń układu U1 oraz zasilanie 3,3 V. Sygnały zewnętrzne doprowadzone do B30/31 muszą być w standardzie 3,3 V.

REKLAMA



Złącze PMOD firmy Digilent. Dla umożliwienia stosowania gotowych modułów rozszerzeń firmy Digilent (producent zestawów uruchomieniowych i bogatej oferty modułów rozszerzających) przewidziano złącze

JPM. Złącze żeńskie o rozstawie 2,54 mm i organizacji 2×6 umożliwia stosowanie modułów o 6 i 12 wyprowadzeniach. Do JPM jest doprowadzone zasilanie 3,3 V. Nic nie stoi na przeszkodzie, aby złącze wykorzystać

dla własnych modułów rozszerzeń. Poprzez złącze JPM oprócz zasilania jest dostępnych osiem wyprowadzeń I/O układu U1.

**Montaż i uruchomienie**

Urządzenie jest zmontowane na dwustronnej płytce drukowanej z metalizacją otworów i soldermaską. Płytkę została wykonana bez warstwy opisu elementów, a niezbędne oznaczenia umieszczono na warstwie górnej. Zwiększa to ich trwałość i oczywiście obniża koszt wykonania płytki. Rozmieszczenie elementów na górnej warstwie pokazano na **rysunku 3**, natomiast na dolnej na **rysunku 4**.

Do montażu zestawu konieczne jest użycie precyzyjnej lutownicy o regulowanej mocy. W pierwszej kolejności lutujemy zgodnie z **rysunkiem 5** elementy z warstwy górnej. Po sprawdzeniu poprawności montażu przechodzimy do montażu elementów warstwy dolnej. W pierwszej kolejności montujemy elementy bierne, układy scalone, używając odpowiedniej ilości topnika i kontrolując poprawność montażu, usuwając ewentualne zwarcia pomiędzy wyprowadzeniami. Następnie montujemy przełączniki, złącza szpilkowe złącze USB i pozostałe elementy, zwracając uwagę na polaryzację kondensatorów elektrolitycznych. Wyświetlacz LCD montujemy na słupkach dystansowych M2×10 mm, sprawdzając, czy nie opiera się on o złącze JPM. Po montażu płytki i sprawdzeniu poprawności warto przemyć ją preparatem usuwającym pozostałości topnika.

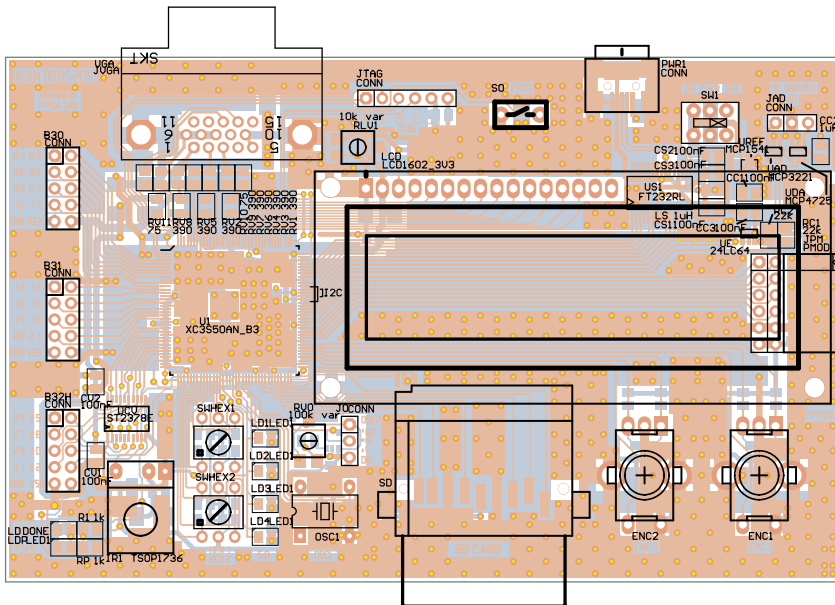
Jeżeli płytkę została zmontowana bezbłędnie, nie wymaga uruchomienia, można sprawdzić jedynie obecność napięć zasilania 1,2 V i 3,3 V. Po podłączeniu zasilania (USB) i programatora do złącza JTAG należy sprawdzić możliwość programowania układu U1. W oknie programu iMPACT, obsługującego programator, powinien pojawić się prawidłowo odczytany łańcuch JTAG przedstawiony na **rysunku 5**. Układ U1 skonfigurowany jest w trybie ładowania i współpracy z wewnętrzną pamięcią konfiguracji. Po zaprogramowaniu dioda LDP „DONE” powinna zaświecić, w przypadku konieczności przeładowania konfiguracji FPGA można wymusić je naciśnięciem przycisku S0.

Uruchomienie jest zakończone, nie pozostaje nic innego jak życzyć miłego użytkowania zestawu podczas własnych eksperymentów z FPGA Spartan3AN50.

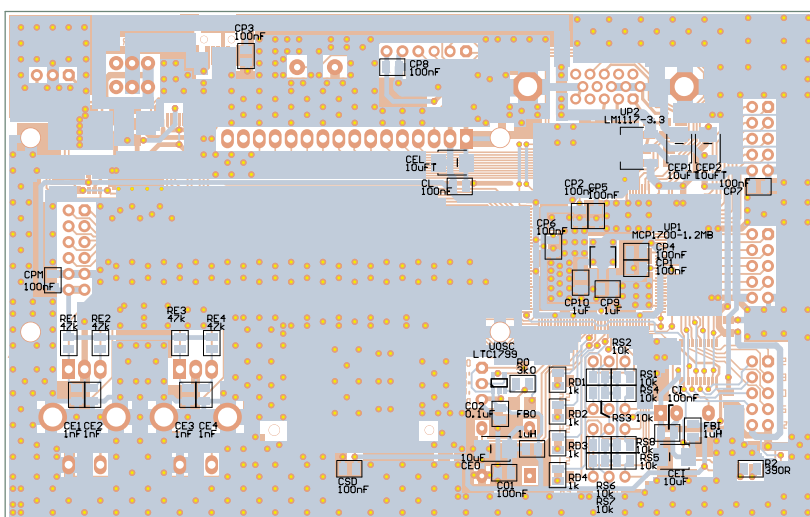
**Adam Tatuś**  
atatus@op.pl

*Literatura:*

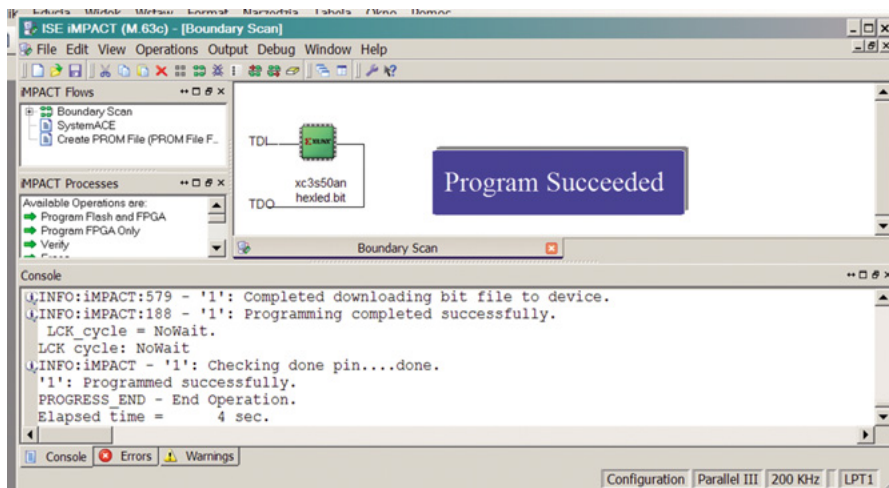
- <http://www.xilinx.com/support/documentation/spartan-3an.htm>
- „Układy FPGA w przykładach” Jacek Majewski, Piotr Zbysiński, BTC 2007.
- „Układy programowalne pierwsze kroki”, Piotr Zbysiński, Jerzy Pasierbiński, BTC 2004.
- „Wprowadzenie do języka Verilog”, Zbigniew Hajduk, BTC 2009.



Rysunek 3. Rozmieszczenie elementów na warstwie górnej



Rysunek 4. Rozmieszczenie elementów na warstwie dolnej



Rysunek 5. Odczyt łańcucha JTAG zestawu FPGA