

Audiofilski przetwornik C/A

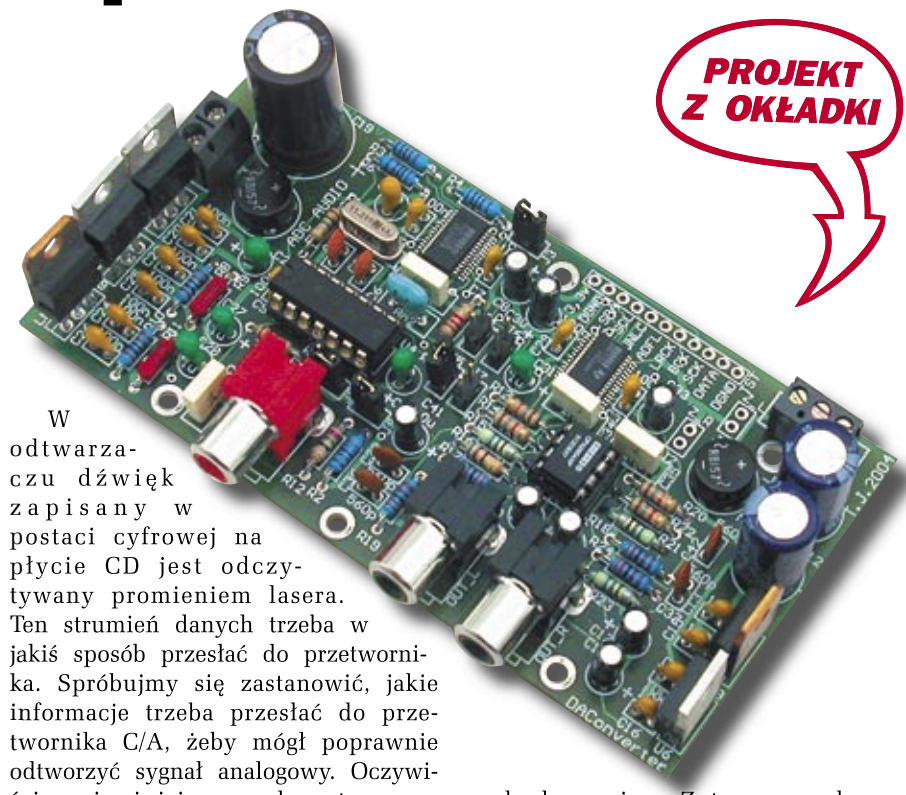
PROJEKT
Z OKŁADKI

Wszystkie odtwarzacze płyt CD i komputerowe napędy CD-ROM mają wbudowane przetworniki cyfrowo-analogowe (C/A). Stosowane w nich (a zwłaszcza w CD-ROM) przetworniki C/A są często ze względów oszczędnościowych uproszczone i mają niezbyt dobre parametry. Wykorzystując nowo opracowane układy scalone można uzyskać lepszą jakość odtwarzanego dźwięku.

W artykule prezentujemy układ przetwornika cyfrowo-analogowego zaprojektowanego specjalnie w tym celu, tj. zgodnego ze standardem S/PDIF.

Rekomendacje:

oprócz uzyskania lepszego dźwięku, Czytelnicy pasjonujący się elektroniką mogą samodzielnie wykonać dość istotną część toru audio. Dodatkowym atutem urządzenia jest to, że pozwala na eksperymentowanie bez konieczności ingerencji w wewnętrzne obwody odtwarzacza, ponieważ cyfrowy strumień odczytany z płyty CD jest doprowadzony do złącza S/PDIF.



W odtwarzaczu dźwięk zapisany w postaci cyfrowej na płycie CD jest odczytywany promieniem lasera. Ten strumień danych trzeba w jakiś sposób przesłać do przetwornika. Spróbujmy się zastanowić, jakie informacje trzeba przesłać do przetwornika C/A, żeby mógł poprawnie odtworzyć sygnał analogowy. Oczywiście najważniejsze są dane tworzone w trakcie próbkowania analogowego sygnału audio. Dane mogą mieć różne długości od 16 do 24 bitów. Możemy się domyślać, że każda taka porcja danych musi być zapakowana w określoną „paczkę”, bo inaczej nie można stwierdzić, kiedy jest przesyłany pierwszy bit, a kiedy ostatni. Na płycie CD nagrany jest stereofoniczny dźwięk i przetwornik musi wiedzieć kiedy jest przesyłany kanał lewy, a kiedy prawy. Przydałoby się również, żeby była możliwość przesyłania różnych dodatkowych informacji wplecionych pomiędzy dane audio. Wszystko, co jest związane z przesyłaniem cyfrowego dźwięku z płyty CD dokładnie opisano i nazwano standardem S/PDIF (Sony Philips Digital Interface). Standard S/PDIF stał się normą IEC 958, a potem IEC 60958-3 „consumer standard” Norma ta opisuje kompletny interfejs wykorzystywany w urządzeniach powszechnego użytku pozwalających na przesyłanie sygnałów cyfrowych audio.

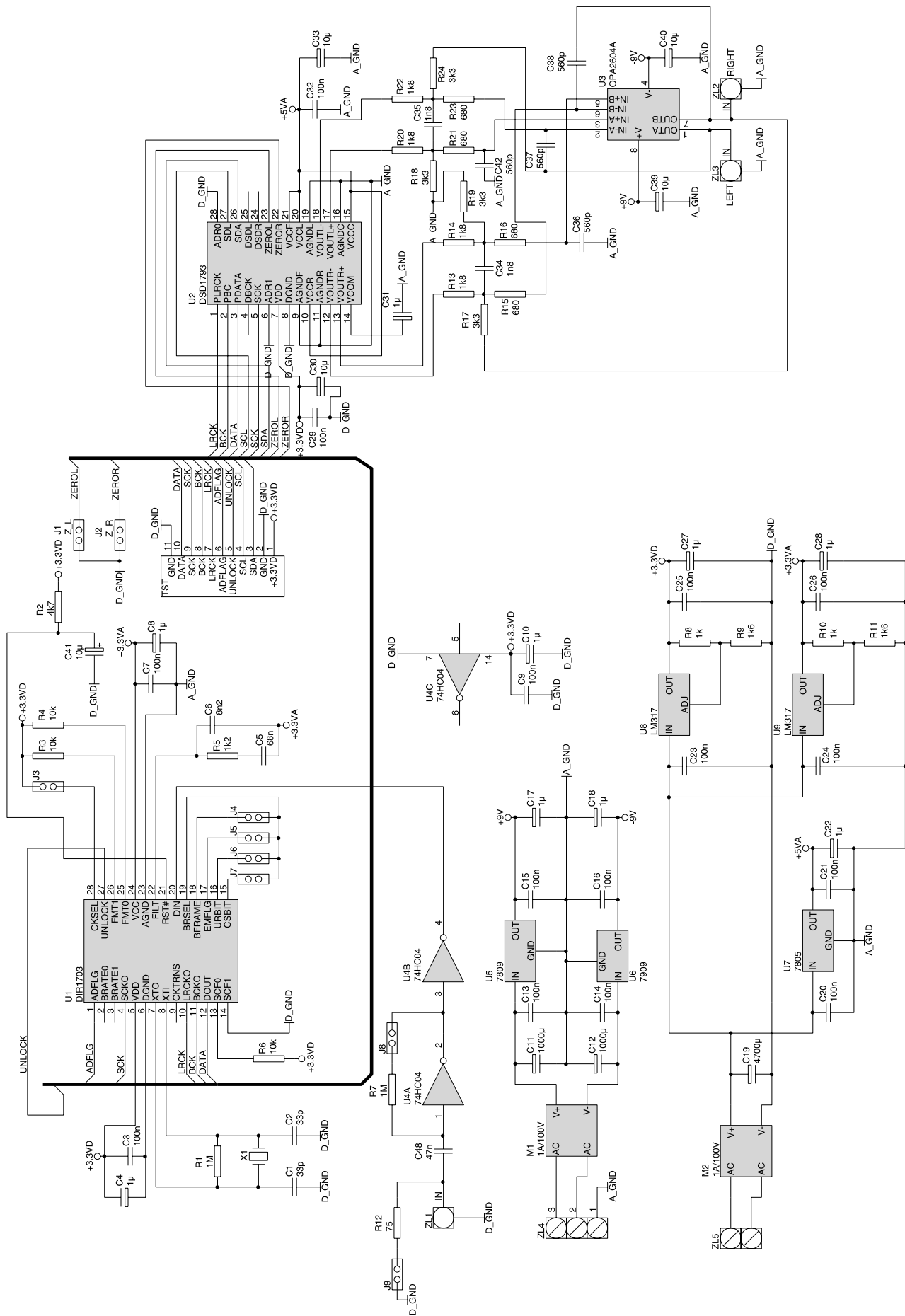
Jeżeli popatrzymy na złącze S/PDIF to zobaczymy, że można tam podłączyć jeden przewód sygnałowy i oczywiście masę tego sygnału. Oznacza to, że sygnał cyfrowy może być tym złączem przesyłany szeregowo: bit po bicie. Szeregowo przesyłanie wielu różnych informacji jest możliwe po uprzednim ich

zakodowaniu. Z tego powodu zewnętrzne przetworniki audio zbudowane są z dwu zasadniczych części: odbiornika S/PDIF odbierającego i dekodującego strumień danych S/PDIF i właściwego przetwornika cyfrowo analogowego.

Schemat urządzenia został pokazany na rys. 1. Odbiornikiem sygnału S/PDIF jest układ DIR 1703 (U1) firmy Burr Brown. Schemat blokowy tego układu pokazany jest na rys. 2.

Opis przetwornika

Sygnał z odtwarzacza podłączamy do złącza ZL1. W standardzie S/PDIF ma on poziom $\pm 0,5$ V. Ponieważ wejście odbiornika U1 akceptuje poziomy TTL, a właściwie CMOS, to konieczne jest zastosowanie konwertera poziomów zbudowanego z inwerterów układu U4. Wszystkie komputerowe napędy CD-ROM są również wyposażone w cyfrowe wyjście S/PDIF, ale sygnał ma poziomy TTL. Żeby można było podłączyć sygnały z obu źródeł zastosowano dwie zworki: J8 i J9. Kiedy podłączony jest sygnał o poziomach $\pm 0,5$ V ze źródła o impedancji 75Ω to zworka J9 jest zwarta i dołącza do wejścia rezystor R12 dopasowujący impedancje wejścia do impedancji źródła sygnału. Zworka J8 jest również zwarta. Bramka U4A jest zlinearyzowana i działa jako wzmacniacz. Wzmocniony sygnał jest for-



Rys. 1. Schemat elektryczny przetwornika C/A

Tab. 1. Wybór częstotliwości oscylatora kwarcowego

Częstotliwość próbkowania F_s	$128 \cdot f_s$	$256 \cdot f_s$	$384 \cdot f_s$	$512 \cdot f_s$	BRSEL podłączone do
32 kHz	4,096 MHz	8,192 MHz	12,288 MHz	16,384 MHz	BFRAME
44,1 kHz	5,6448 MHz	11,2896 MHz	16,9344 MHz	22,5792 MHz	EMFLG
48 kHz	6,144 MHz	12,288 MHz	18,432 MHz	24,576 MHz	Nie połączone
88,2 kHz	11,2896 MHz	22,5792 MHz	33,8688 MHz	45,1584 MHz	URBIT
96 kHz	12,288 MHz	24,576 MHz	36,864 MHz	49,152 MHz	CSBIT

momony na bramce U4B. Jeżeli obie zworki zostaną rozwarte, to można podłączyć do ZL1 sygnał TTL z wyjścia cyfrowego napędu CD-ROM. Bramki układu U4 działają wtedy jako zwykłe bufory.

Uformowany sygnał z wyjścia bramki U4B jest podawany na wejście DIN odbiornika i dalej do układu dekodera S/PDIF. W dekodерze ze strumienia danych są wydzielane bity kanału statusowego i bity ramki danych: V, U, C i P. Jeden z sygnałów wyjściowych dekodera jest przesyłany do układu SpAct mającego za zadanie odtworzyć ze strumienia danych sygnał zegara systemowego. W układzie DIR1703 dostępne są 2 podstawowe tryby pracy związane z układem SpAct i odtwarzaniem zegara systemowego: tryb PLL i tryb pracy z oscylatorem kwarcowym. Tryb pracy jest wybierany przez wymuszenie za pomocą zworki J3 odpowiedniego stanu na wyprowadzeniu CKSEL: stan niski - PLL, stan wysoki tryb - oscylatora kwarcowego. Po zwarcu J3 na wyprowadzeniu CKSEL wymuszany jest stan wysoki. Jeżeli zworka jest rozwarta, to wewnętrzny rezystor (*pull down*) wymusza stan niski.

W trybie PLL zegar systemowy o częstotliwości równej wielokrotności częstotliwości próbkowania f_s jest wydzielany ze zmodulowanego bifazowo strumienia danych S/PDIF. W procesie wydzielania bierze udział układ SpAct taktowany przebiegiem o częstotliwości 100 MHz uzyskiwanym z pętli fazowej PLL1. Układ PLL1 jest taktowany przebiegiem z oscylatora kwarcowego. Z tego powodu praca w trybie PLL wymaga, żeby pracował oscylator kwarcowy. Jaka ma być częstotliwość tego oscylatora powiemy później. Z układu SpAct sygnał zegara przechodzi przez drugą pętlę PLL2 i dalej taktuje układy interfejsu PCM, oraz wychodzi z układu jako zegar systemowy SCKO. Elementy R6, C5 i C6 tworzą pracujący w układzie filtra pętli PLL.

Tryb oscylatora kwarcowego

W trybie oscylatora kwarcowego zegar systemowy jest uzyskiwany z wyjścia oscylatora kwarcowego. Po-

zostałe sygnały zegarowe interfejsu są uzyskiwane z podzielenia zegara systemowego. Częstotliwość oscylatora w tym trybie pracy musi być ściśle określona i wynika z założonej wielokrotności częstotliwości próbkowania. Na przykład dla $128 \cdot f_s$ i $f_s = 32$ kHz częstotliwość oscylatora musi wynosić $F_{osc} = 128 \cdot (32 \text{ kHz}) = 4,096$ MHz, ale dla $512 \cdot f_s$ i $f_s = 96$ kHz $F_{osc} = 512 \cdot (96 \text{ kHz}) = 49,152$ MHz. Przy tak dużej rozpiętości częstotliwości trzeba było wprowadzić jakiś sposób programowania oscylatora. Realizowane jest to przez połączenie wyprowadzenia BRSEL z jednym z wyprowadzeń: BFRAME, EMFLG, URBIT, CSBIT. Wszystkie możliwe częstotliwości oscylatora zależne od częstotliwości próbkowania i mnożnika pokazane zostały w **tab. 1**.

Tryb PLL

Wróćmy teraz na chwilę do trybu PLL. Powiedzieliśmy, że tam również potrzebny jest oscylator. Jednak w tym przypadku można niezależnie od f_s i mnożnika wybrać dowolną częstotliwość z **tab. 1** i oczywiście ją zaprogramować przez odpowiednie połączenie BRSEL. Na przykład mamy oscylator 4,096 MHz, a strumień danych jest próbkowany z częstotliwością 44,1 kHz. Wybieramy tryb PLL, zwieryamy BRSEL z BFRAME i odpowiednio programujemy mnożnik dla zegara systemowego.

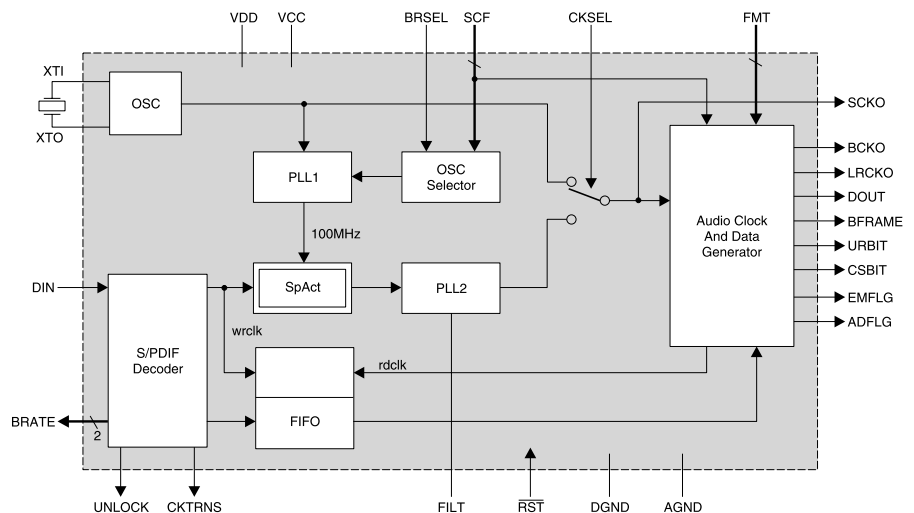
W tym momencie widać wyraźnie zaletę trybu PLL: odbiornik może niezależnie od częstotliwości oscylatora odbierać próbkowane dane o różnych F_s i można zaprogramować dowolny mnożnik zegara systemowego. Tutaj można sobie postawić pytanie: po co stosować tryb z oscylatorem kwarcowym? Trzeba znać częstotliwość próbkowania danych strumienia S/PDIF, a po jej zmianie trzeba zmieniać oscylator. Otóż jak się okazuje w trybie oscylatora kwarcowego można uzyskać dużo mniejszy jitter, bo stabilność oscylatora kwarcowego jest lepsza niż przebiegu uzyskiwanego z układu PLL.

Zegar systemowy

Po włączeniu zasilania w obu trybach pracy zegar systemowy ma częstotliwość określoną przez oscylator kwarcowy. W trybie PLL po pojawieniu się sygnału S/PDIF zegar systemowy generowany w układzie SpAct przestawia się na częstotliwość określoną przez częstotliwość próbkowania i zaprogramowany mnożnik. Kiedy w trakcie pracy zniknie (zostanie odłączony) sygnał S/PDIF, to zegar systemowy może nie zmienić swojej częstotliwości.

W układzie z **rys. 1** mnożnik jest ustawiony na wartość 256 ($SCF0=1$, $SCF1=0$) – **tab. 2**.

Odebrany i poprawnie zdekodowany strumień danych musi być teraz



Rys. 2. Schemat blokowy układu DIR1703

Tab. 2. Wybór mnożnika zegara systemowego

SCF1	SCF0	SCKO
L	L	128-fs
L	H	256-fs
H	L	384-fs
H	H	512-fs

zamieniony na standardowy format PCM akceptowany przez przetworniki C/A audio. Znane są 2 podstawowe odmiany formatu PCM: I2S i format standardowy zwany też „dosunięty do prawej” *right justified*. Rzadziej spotykany jest format „dosunięty do lewej” *left justified*. Wszystkie te formaty są używane i odbiornik musi mieć możliwość wygenerowania danych wyjściowych w każdym z nich. Różnice pomiędzy formatami polegają głównie na sposobie przesyłania danych linią danych. Poza tą linią interfejs PCM zawiera linie: zegarową i identyfikacji kanałów. Linia zegarowa (wyprowadzenie BCKO odbiornika DIR1703) taktuje dane przesyłane linią danych (wyprowadzenie DOUT). Linia identyfikacji kanałów określa, czy w danym momencie jest przesyłany kanał lewy czy prawy (wyprowadzenie LRCKO). Sygnał na linii identyfikacji ma częstotliwość równą częstotliwości próbkowania. Uzupełnieniem interfejsu jest wspomniany już dość istotny sygnał zegara systemowego (wyprowadzenie SCKO).

Format danych wyjściowych PCM ustawiany jest stanami na wyprowadzeniach FMT1 i FMT0 – **tab. 3**.

W przetworniku ustawiony jest 24-bitowy format I2S.

Tor sygnałowy

Jak już powiedzieliśmy zadaniem odbiornika jest odebranie szeregowo przesyłanego strumienia danych z wyjścia S/PDIF, wydzielenie z niego sygnału zegara systemowego i „przeformatowanie” danych na format PCM. Takie dane teraz mogą zostać poddane konwersji do postaci analogowej w przetworniku cyfrowo analogowym. O ile odbiornik decyduje o tym z jaką jakością będzie odtworzony lub wytworzony sygnał zegara systemowego (wielkość jitter’a), to przetwornik jest odpowiedzialny za pozostałe parametry odtwarzanego dźwięku. Najważniejsze z nich to: duża dynamika, minimalne zniekształcenia nieliniowe i szумы. Oczywiście taki przetwornik musi być kompatybilny z interfejsem PCM. W urządzeniu został zastosowany dość nowy układ DSD1793 również firmy Burr Brown.

DSD1793 akceptuje dane kodo-

wane PCM o długości 16, 20 i 24 bity w formatach I2S i „*left justified*”. Częstotliwość próbkowania może się zmieniać w zakresie od 10 kHz do 200 kHz. Jeżeli na wejściu pojawią się dane PCM z płyty DVD Audio jednego z mocno lansowanego nowego systemu zapisu audio o długości 24 bitów i częstotliwości próbkowania 192 kHz, to jak widać DSD1793 powinien sobie bez problemu z nimi poradzić.

Dodatkowo ten przetwornik akceptuje dane z opracowanego przez firmy Sony i Philips nowego standardu kodowania danych audio DSD - *Direct Stream Digital*. Jest wtedy wykorzystywany inny interfejs wejściowy, a dane z dekodera DSD są podawane na wejścia DSDL i DSDR (tutaj nie wykorzystywane). Zegar taktujący przesyłaniem danych w formacie DSD korzysta z wejścia DBCK.

W naszym rozwiązaniu wykorzystywany jest klasyczny interfejs PCM z danymi o długości 16 bitów i częstotliwości próbkowania 44,1 kHz. Dane z odbiornika wchodzą na wejście PDATA (rys. 1), sygnał taktujący przesyłaniem danych na wejście PBC, a sygnał identyfikacji kanałów na wejście PLRCK. Zegar systemowy powinien być podłączony do wejścia SCK. Na **rys. 3** pokazany został schemat blokowy przetwornika.

Dane z wejścia PDATA trafiają do bloku interfejsu wejściowego a następnie są poddawane procesowi 8-krotnego nadpróbkowania (*oversampling*). Nadpróbkowanie polega na interpolowaniu przebiegu wejściowego na podstawie odbieranych próbek, a następnie próbkowaniu tak otrzymanego przebiegu z częstotliwością 8-krotnie większą. Cały ten proces jest konieczny by można było uzyskać dostateczne filtrowanie odbieranego przebiegu dolnoprzepustowym filtrem cyfrowym. To filtrowanie stosuje się po to, żeby tłumić składowe o częstotliwości większej niż połowa częstotliwości próbkowania - wynika to z twierdzenia o próbkowaniu. Im większa częstotliwość próbkowania, tym łatwiej jest zrealizować filtr cyfrowy i dlatego stosuje się zabieg nadpróbkowania.

Odfiltrowane dane są podawane na wejście przetwornika cyfrowo analogowego o konstrukcji zapewniającej dużą dynamikę i tolerancję na zjawisko jittera. Dane o długości 24 bitów i częstotliwości próbkowania 8-fs są rozdzielane na 6 starszych bitów i 18 młodszych bitów. Starsze bity są konwertowane na kod ICOB (*inverted complementary offset binary*). Młodsze bity są poddawane

konwersji przez modulator delta – sigma pracujący z częstotliwością 64*fs. W wyniku sumowania danych z bloku ICOB i modulatora delta-sigma powstaje kod 66 poziomowy, który jest konwertowany przez przetwornik złożony z bloków DWA i DAC na postać analogową.

Część analogowa przetwornika jest zasilana napięciem +5 VA, a część cyfrowa napięciem +3,3 VD. Podobnie jak w przypadku odbiornika DIR1703 rozdzielone są masy obwodów analogowych (A_GND) i cyfrowych (D_GND). Oba napięcia są blokowane przez pary kondensatorów 100 nF i 10 µF (kondensatory C29, C30, C32, C33). Sygnał z przetwornika wymaga odfiltrowania zakłóceń powstałych w końcowej konwersji sygnału cyfrowego na analogowy. Operację tę wykonuje filtr dolnoprzepustowy zbudowany na podwójnym wzmacniaczu operacyjnym U3. Ponieważ wyjścia sygnału analogowego DSD1793 są różnicowe, to filtr dodatkowo zamienia sygnał różnicowy na sygnał asymetryczny doprowadzony do złącz CINCH ZL2 i ZL3. Układ U3 jest zasilany napięciami ±9 V blokowanymi kondensatorami 10 µF (C39 i C40).

Dość wysoką dynamikę przetwornika można jeszcze zwiększyć. W tym celu można DSD1793 przełączyć w tryb pracy *monoural* i będzie on wtedy przetwarzał sygnał cyfrowy na postać analogową tylko z jednego zaprogramowanego wcześniej kanału. W tym trybie pracy sygnał stereofoniczny musi być przetwarzany przez 2 przetworniki, a każdy z nich musi być wyposażony w odpowiedni filtr dolnoprzepustowy na wyjściu sygnału audio.

Szeregowy port slave I2C wbudowany w przetwornik jest używany do wpisywania potrzebnych parametrów pracy do rejestrów układu. Będą to między innymi parametry interfejsu PCM. Przypomnijmy, że odbiornik przesyła dane w formacie I2S o maksymalnej długości 24 bitów. Mnożnik zegara systemowego został ustawiony na wartość 256. Żeby całość poprawnie działała, to interfejs PCM przetwornika musi pracować z takimi samymi parametrami. Ponieważ możliwa jest praca w 2 systemach kodowania:

Tab. 3. Wybór formatu wyjściowego

FMT0	FMT1	Format danych wyjściowych
L	L	16 bity „right justified”
L	H	24 bity „right justified”
H	L	24 bity „left justified”
H	H	24 bity I2S

Tab. 4. Najważniejsze rejestry programowane w układzie DSD1793

Funkcja	Wartość domyślna	Rejestr	Bit	PCM	DSD	DF(*)
Cyfrowa regulacja poziomu audio	0dB	16 17	ATL[7:0] ATR[7:0]	Tak	Nie	Nie
Regulacja poziomu audio zablokowana/odblokowana	Zablokowana	18	ATLD	Tak	Nie	Nie
Format danych wejściowych PCM	I2S 24bity	18	FMT[2:0]	Tak	Nie	Tak
Wybór deemfazy	Wyłączona	18	DMF[1:0]	Tak	Tak(**)	Nie
Deemfaza zablokowana/odblokowana	Zablokowana	18	DME	Tak	Nie	Nie
Wyciszanie	Zablokowane	18	MUTE			
Faza sygnału wyjściowego	Nie odwrócona	19	REV	Tak	Tak	Tak
Szybkość wyciszania	$1 \cdot f_s$	19	ATS[1:0]	Tak	Nie	Nie
Wyłączenie/włączenie modułu przetwarzania	Włączony	19	OPE	Tak	Tak	Tak
Tryb pracy zewnętrznego filtra cyfrowego DF	Mono	19	DFMS	Nie	Nie	Tak
Charakterystyka wewnętrznego filtra cyfrowego	Ostro opadająca	19	FLT	Tak	Nie	Nie
Stan zerowania układu	Normalna praca	20	SRST	Tak	Tak	Tak
Włączenie/wyłączenie trybu DSD	Wyłączony	20	DSD	Tak	Tak	Nie
Tryb stereo/monoural	Stereo	20	MONO	Tak	Tak	Tak
Wybór kanału w trybie monoural	Kanał L	20	CHSL	Tak	Tak	Tak
Częstotliwość nadpróbkowania modulatora delta-sigma	$64 \cdot f_s$	20	OS[1:0]			

(*) DF – podłączenie zewnętrznego filtra cyfrowego
 (**) W trybie DSD bity te programują filtr DSD (analogowy FIR)

PCM i DSD to musi być możliwość przełączania w odpowiedni tryb pracy. Przy okazji omawiania cyfrowego filtra z 8-krotnym nadpróbkowaniem nie wspominałem, że istnieje możliwość wyciszania trybu pracy tego filtra na „ostrzejszy” i „łagodniejszy” oraz wyłączenia wewnętrznego filtra i włączenia zewnętrznego. Poza tym można ten filtr wyłączyć i podłączyć zewnętrzny filtr cyfrowy. Dość przydatna może być też funkcja cyfrowej regulacji poziomu analogowego sygnału audio. Wszystkie te przełączenia i regulacje można wykonać poprzez interfejs I2C. Nie oznacza to, że aby przetwornik poprawnie pracował potrzebny jest układ sterowania z mikrokontrolerem. Choć taki układ umożliwia pełne korzystanie ze wszystkich funkcji DSD1793, to po włączeniu zasilania wszystkie rejestry zapisywane przez I2C są inicjalizowane wartościami początkowymi – tab. 4.

Wartości domyślne ustawiają przetwornik w tryb dekodowania sygnału cyfrowego PCM o formacie 24-bitowym I2S. Jest to taki sam format, jaki został ustawiony w odbiorniku DIR1703. Pozostaje jeszcze do ustalenia mnożnik zegara systemowego ustawiony w odbiorniku na wartość $256 \cdot f_s$. W DSD1793 z tym też nie będzie żadnego problemu, bo jest on wyposażony w układ automatycznej detekcji zegara wykrywający mnożniki 128, 192, 256, 384, 512 i $768 \cdot f_s$.

Nie mamy co prawda możliwości sterowania siłą głosu bez podłączenia mikrokontrolera, ale przetwornik

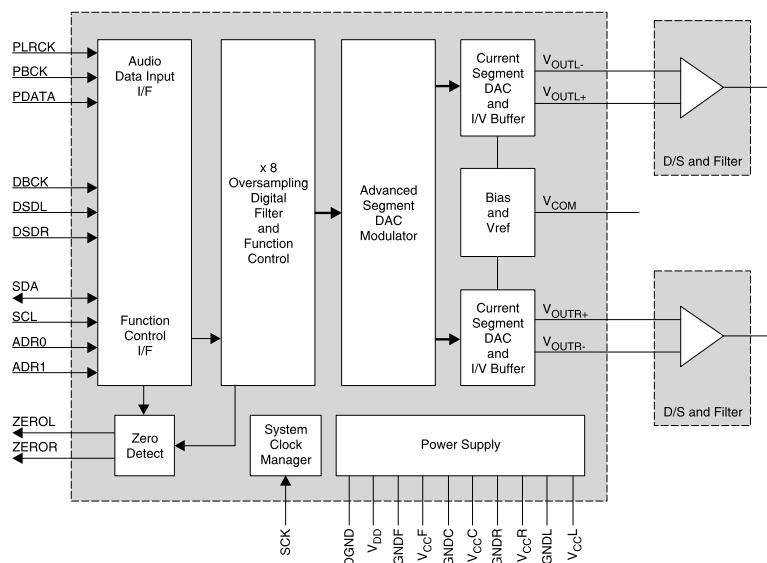
w trybie domyślnym ustawia się w dogodny dla nas interfejs PCM i w tryb STEREO. Pewną niedogodnością może być brak sterowania deemfazą sygnału, ale przy założeniu, że nie będziemy słuchać nagrań bardzo starych deemfaza może być wyłączona.

Zasilanie

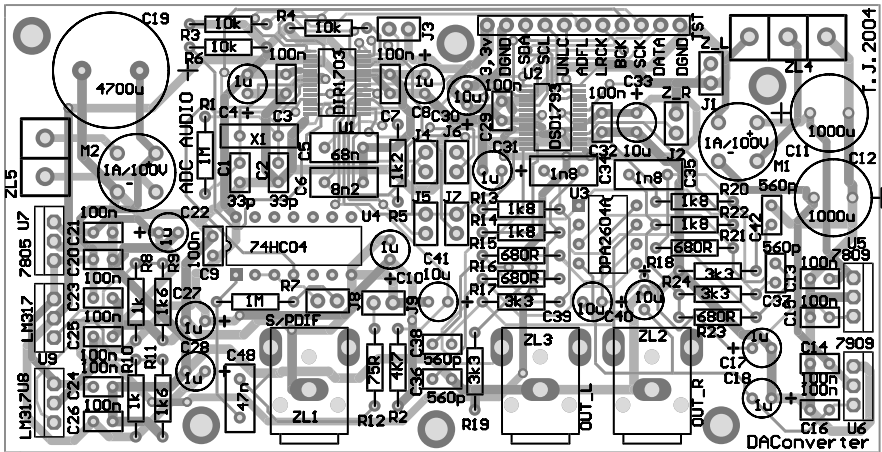
Całe urządzenie jest zasilane napięciami: +3,3 VA, +3,3 VD, +5 VA, +9 V i -9 V. Oba napięcia +3,3 V są wytwarzane przez popularne stabilizatory LM317 (U8 i U9). Dzielniki rezystorowe R8, R9 oraz R10 i R11 ustalają napięcie wyjściowe. Wejścia stabilizatorów są blokowane kondensatorami monolitycznymi 100 nF, a wyjścia parą kondensatorów 100 nF i 1 μ F (tantalowy). Napięcie +5 VA

jest otrzymywane z wyjścia stabilizatora U7 7805. Podobnie jak w przypadku LM317, wejścia i wyjścia U7 są blokowane kondensatorami. Do złącza ZL5 musi być doprowadzone napięcie przemiennie o wartości 8...10 V. Napięcie to jest prostowane w mostku M2 i filtrowane kondensatorem C19.

Do złącza ZL4 trzeba podłączyć symetryczne napięcie przemiennie 2x10..12 V. Środkowy odczep uzwojenia transformatora trzeba podłączyć do zacisku 1 złącza ZL4. Napięcie po wyprostowaniu w mostku M1 jest filtrowane przez kondensatory C11i C12. Napięcie dodatnie +9 V jest uzyskiwane z wyjścia stabilizatora U5 (7809). Napięcie ujemne -9 V pochodzi ze stabilizatora U6 (7809).



Rys. 3. Schemat blokowy przetwornika DSD1793



Rys. 4. Schemat montażowy płytki drukowanej

WYKAZ ELEMENTÓW

Rezystory

- R1, R7: 1 MΩ
- R5: 1,2 kΩ
- R9, R11: 1,6 kΩ
- R13, R14, R20, R22: 1,8 kΩ
- R8, R10: 1 kΩ
- R17, R18, R19, R24: 3,3 kΩ
- R2: 4,7 kΩ
- R3, R4, R6: 10 kΩ
- R12: 75 Ω
- R15, R16, R21, R23: 680 Ω

Kondensatory

- C34, C35: 1,8 nF
- C4, C8, C10, C17, C18, C22, C27, C28, C31: 1 μF/35 V
- C6: 8,2 nF
- C30, C33, C39, C40, C41: 10 μF/25 V
- C1, C2: 33 pF
- C48: 47 nF
- C5: 68 nF
- C3, C7, C9, C13...C16, C20, C21, C23...C26, C29, C32: 100 nF
- C36...C38, C42: 560 pF
- C11, C12: 1000 μF/25 V
- C19: 4700 μF/25 V

Półprzewodniki

- U7: 7805
- U5: 7809
- U6: 7909
- U4: 74HC04
- U1: DIR1703
- U2: DSD1793
- U8, U9: LM317
- U3: OPA2604
- M1, M2: mostek prostowniczy 1 A/100 V

Inne

- Zworki gold - pin
- ZL1, ZL2, ZL3: złącza CINCH do druku
- ZL4, ZL5: złącza śrubowe do druku
- Płytką drukowaną

Masy układu

Układy cyfrowe odbiornika są zasilane napięciem +3,3 VD względem cyfrowej masy DGND. Obwody analogowe są zasilane oddzielnym napięciem +3,3 VA względem masy analogowej AGND. Rozdzielenie mas i wyprowadzeń zasilania jest podyktowane koniecznością zminimalizowania wpływu zakłóceń przenoszonych liniami zasilającymi z części cyfrowej na część analogową. Każda z linii zasilających jest blokowana parą kondensatorów tantalowych 1 μF i blokujących 100 nF (C3, C4 i C7, C8). Masy analogowa i cyfrowa muszą być galwanicznie połączone ze sobą w okolicach kondensatora C49. Prawidłowe zerowanie układu U1 zapewnia obwód RC (R2, C41).

Montaż i uruchomienie

Płytką drukowaną przetwornika została pokazana na rys. 4. Montaż należy rozpocząć od wlotowania elementów układu zasilania. Następnie podłączamy napięcia przemienne do złączy ZL4 i ZL5 i sprawdzamy poprawność wszystkich napięć. Jeżeli wszystko jest w porządku, to można przylutować pozostałe elementy. Tradycyjnie największe problemy będą sprawiać układy U1 i U2 umieszczone w obudowach do montażu powierzchniowego. Po zmontowaniu całości trzeba określić, w jakim trybie będzie pracował odbiornik. Jeżeli jest do dyspozycji oscylator o częstotliwości 11,2896 MHz (44,1 kHz:256), to można zewrzeć zworkę J3 i wprowadzić odbiornik w tryb pracy z oscylatorem kwarcowym. Pozostaje jeszcze połączyć CSBIT z EMFLG (zwarćcie zworki J5). Można również wybrać jedną z częstotliwości z tab. 1 i pracować w trybie PLL (zworka J3 rozwarta). Trzeba tu również pamiętać o koniecznej konfiguracji oscylatora za pomocą zworek J4...J7 – patrz tab. 1.

Drugą czynnością „konfiguracyjną” będąc opisywane już zwieranie lub rozwieranie zworek J8 i J9 zależnie od poziomów logicznych sygnału S/PDIF. Zasilony i skonfigurowany układ można teraz podłączyć do odtwarzacza CD. Dobrze byłoby mieć płytę testową z nagraniem sygnałem sinusoidalnym o częstotliwości 1 kHz i oscyloskop, ale nie jest to warunek konieczny. Do testowego złącza umieszczonego na krawędzi płytki doprowadzonych zostało kilka istotnych sygnałów pozwalających stwierdzić poprawność działania przetwornika. Kiedy na wejściu DIN odbiornika pojawi się sygnał S/PDIF i zostanie on poprawnie zidentyfikowany i zdekodowany, wtedy na wyjściu UNLC zostanie wymuszony stan niski. Stan wysoki oznacza, że odbiornik nie pracuje poprawnie i należy sprawdzić czy poprawnie zostały ustawione wcześniej opisane zworki J3...J7 określające tryb pracy i częstotliwość oscylatora. Jeżeli pojawi się stan niski to oznacza, że układ SpAct działa poprawnie i można oscyloskopem sprawdzić, czy pojawiły się przebiegi na wyprowadzeniach LRCK, BCK, SCK i DATA złącza testowego TST. Na LRCK powinien się pojawić symetryczny przebieg prostokątny o częstotliwości 44,1 kHz, (jeżeli odtwarzamy standardową płytę audio Compact Disc). Przebieg SCK powinien mieć częstotliwość 11,2896 MHz. Jeżeli tak jest, to jest duże prawdopodobieństwo, że odbiornik działa prawidłowo. Teraz pozostaje już podłączenie do wyjść ZL2 i ZL3 oscyloskopu i stwierdzenie czy pojawi się tam przebieg audio. Oczywiście można te wyjścia podłączyć do wejścia wzmacniacza mocy i odtwarzając płytę z nagraniem muzyką stwierdzić czy jakość odtwarzanego dźwięku jest zadowalająca. Przy braku sygnału akustycznego na wyjściu przetwornika trzeba sprawdzić stan na wyprowadzeniu ADFL. Jeżeli jest tam stan niski, to oznacza, że są odbierane dane audio PCM. W przeciwnym wypadku (stan wysoki) odbiornik identyfikuje odbierane dane jako inne (cyfrowe lub kompresowane) dane. Trzeba też sprawdzić stan wyprowadzeń SCF0 i SCF1 określających format danych wyjściowych układu U1.

Do złącza testowego TST doprowadzone zostało zasilanie +3,3 VD, masa cyfrowa DGND i sygnały interfejsu I2C. Przez to łatwo można dołączyć sterownik zbudowany w oparciu o dowolny mikrokontroler sterujący funkcjami przetwornika DSD1793.

Tomasz Jabłoński, EP
tomasz.jablonski@ep.com.pl