

Dekoder Dolby Digital/DTS,

część 1

AVT-982



Cyfrowy dekodery Dolby to urządzenie na miarę XXI wieku. Jego powstanie było możliwe dzięki postępowi technologicznemu. Urządzenie zostało wykonane z użyciem elementów, które wprawdzie nie są łatwo dostępne, ale gwarantują wysoką jakość urządzenia.

Rekomendacje: wykonanie dekodera będzie zadaniem trudnym, a nawet bardzo trudnym, jeśli jednak zakończy się sukcesem, na pewno dostarczy wiele satysfakcji i zadowolenia.

PODSTAWOWE PARAMETRY

- Płytki o wymiarach 137x77 mm
- Zasilanie 8...12 VAC
- Systemy dekodowania wielokanałowego dźwięku dookólnego: Dolby Digital 5.1 i DTS ES
- Odtwarzanie niekodowanych danych PCM
- Automatyczne wykrywanie systemu kodowania AC3/DTS/PCM
- Wykrywanie i dekodowanie sygnału Dolby Surround Pro Logic
- Cyfrowa regulacja poziomu sygnału (głośność) Master Volume
- Regulacja balansu w każdym z kanałów
- Regulacja opóźnienia w każdym z kanałów
- Możliwość aplikacji systemów SRS, VMAX i Circle Surround (zależnie od wersji dekodera STA310)
- Wejście S/PDIF (standard RS422)
- Opcjonalne wejście I2S
- Liczba kanałów przetwornika DAC: 6
- Liczba kanałów wyjścia sygnału analogowego: 6
- Liczba kanałów analogowego filtra dolno-przepustowego: 6

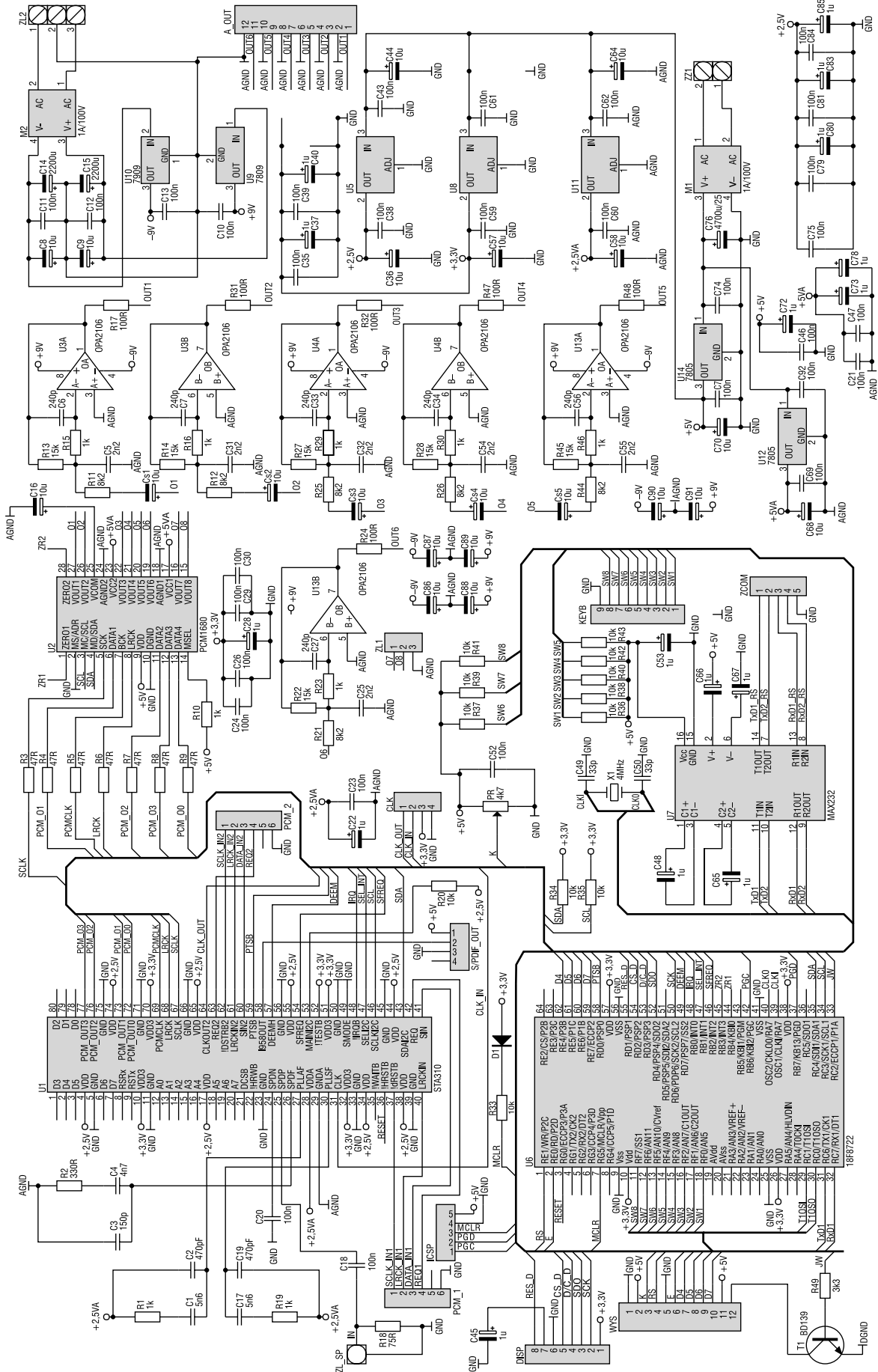
Wykonanie dekodera cyfrowo zakodowanego dźwięku dookólnego (surround) jest wyzwaniem, któremu nie łatwo poddać. Pierwszym problemem, z którym trzeba się zmierzyć to zdobycie układu scalonego dekodera. Do dekodowania strumienia danych stosuje się techniki cyfrowego przetwarzania sygnałów DSP. Ogólnie dostępne, uniwersalne procesory DSP z pamięcią programu typu Flash bez problemu poradzą sobie z tym zadaniem. Takie procesory produkuje na przykład Texas Instruments. Zasadniczym problemem jest jednak oprogramowanie. Napisanie programu dla dobrze działającego dekodera jest zadaniem trudnym i złożonym. Oprogramowanie takie jest kosztowne i powstaje w specjalistycznych firmach posiadających odpowiedni potencjał intelektualny i zaplecze pomiarowe. W Internecie można znaleźć bezpłatne programy dekoderek dźwięku dookólnego przeznaczone dla mikrokontrolerów z rdzeniem ARM tworzonych na zasadzie *open source*. Jednak w opinii tych, którzy próbowali je wykorzystać, są to wersje, nad którymi trzeba jeszcze długo pracować.

W urządzeniach powszechnego użytku są też stosowane scalone dekodery zawierające w swojej strukturze rdzeń DSP z zaprogramowaną pamięcią programu (*firmware*) oraz niezbędne układy peryferyjne. Implementacja takiego układu jest w zasięgu zaawansowanego amatora, jednak zdobycie pojedynczych sztuk takich układów graniczy z cudem.

Problem zdobycia scalonego dekodera dotyczy nie tylko tych, którzy mieszkają w krajach takich jak nasz, gdzie dostępność elementów elektronicznych jest na pewno gorsza niż w Niemczech lub Stanach Zjednoczonych. Również pasjonaci z krajów dużo bardziej rozwiniętych technicznie nie mogą sobie z tym poradzić, o czym świadczy wiele wpisów na forach dyskusyjnych poświęconych tematyce konstruowania cyfrowych urządzeń audio. Kiedy ja zacząłem poszukiwania dekodera, to zazwyczaj okazywało się, że dostanie nawet pojedynczych sztuk nie jest możliwe. Nie pomagało nawet poparcie redakcji i zapewnienia, że układ zostanie wykorzystany do popularyzacji rozwiązań firmy. Odmowa była też często tłumaczona koniecznością uzyskania licencji od firmy Dolby. Ostatecznie układ udało się zdobyć, dzięki dobrej współpracy z polskim oddziałem firmy STM. STM produkuje znany i ceniony multistandardowy dekodery STA310 i w oparciu o ten układ został zbudowany prezentowany tutaj dekodery dźwięku dookólnego. Schemat kompletnego dekodera został pokazany na rys. 1.

Opis układu dekodera

Dla ułatwienia analizy, układ dekodera zostanie podzielony na następujące bloki: zasilacza, dekodera STA310, mikrokontrolera, przetwornika cyfrowo-analogowego i filtrów dolno-przepustowych. Są one omówione poniżej.



Rys. 1. Schemat dekodera surround

Układ zasilacza. Blok ten dostarcza napięć niezbędnych do zasilania wszystkich pozostałych bloków urządzenia. Dla wszystkich napięć analogowych na płycie drukowanej została wydzielona wydzielona masa analogowa oznaczona na schemacie jako AGND. Wszystkie napięcia zasilające układy cyfrowe mają natomiast swoją masę cyfrową oznaczoną na schemacie jako DGND. Obie masy są połączone galwanicznie w pobliżu kondensatora C76.

Napięcie przemiennie o wartości 8...12 V podawane na złącze ZZ1 jest prostowane w mostku M1 i filtrowane kondensatorem C76 4700 µF/25 V. Napięcie stałe jest podawane na wejścia scalonych stabilizatorów napięcia U14 i U12. Stabilizator U12 jest źródłem napięcia oznaczonego jako „+5VA” dla obwodów analogowych przetwornika cyfrowo-analogowego. Kondensator C92 blokuje jego wejście, a para kondensatorów C68, C69 wyjście.

Stabilizator U14 jest źródłem napięcia dla układów cyfrowych przetwornika cyfrowo-analogowego i jednocześnie źródłem napięcia

dla stabilizatorów LDO zasilających układ STA310 i mikrokontroler.

Układ scalony dekodera STA310 wymaga trzech napięć. Pierwsze z nich to napięcie +2,5 V zasilające rdzeń procesora DSP układu STA310. Dostarcza go stabilizator LDO SPX1117R2-5 (U5). Wejście i wyjście stabilizatora jest blokowane parami kondensatorów C43, C44 i C36, C38.

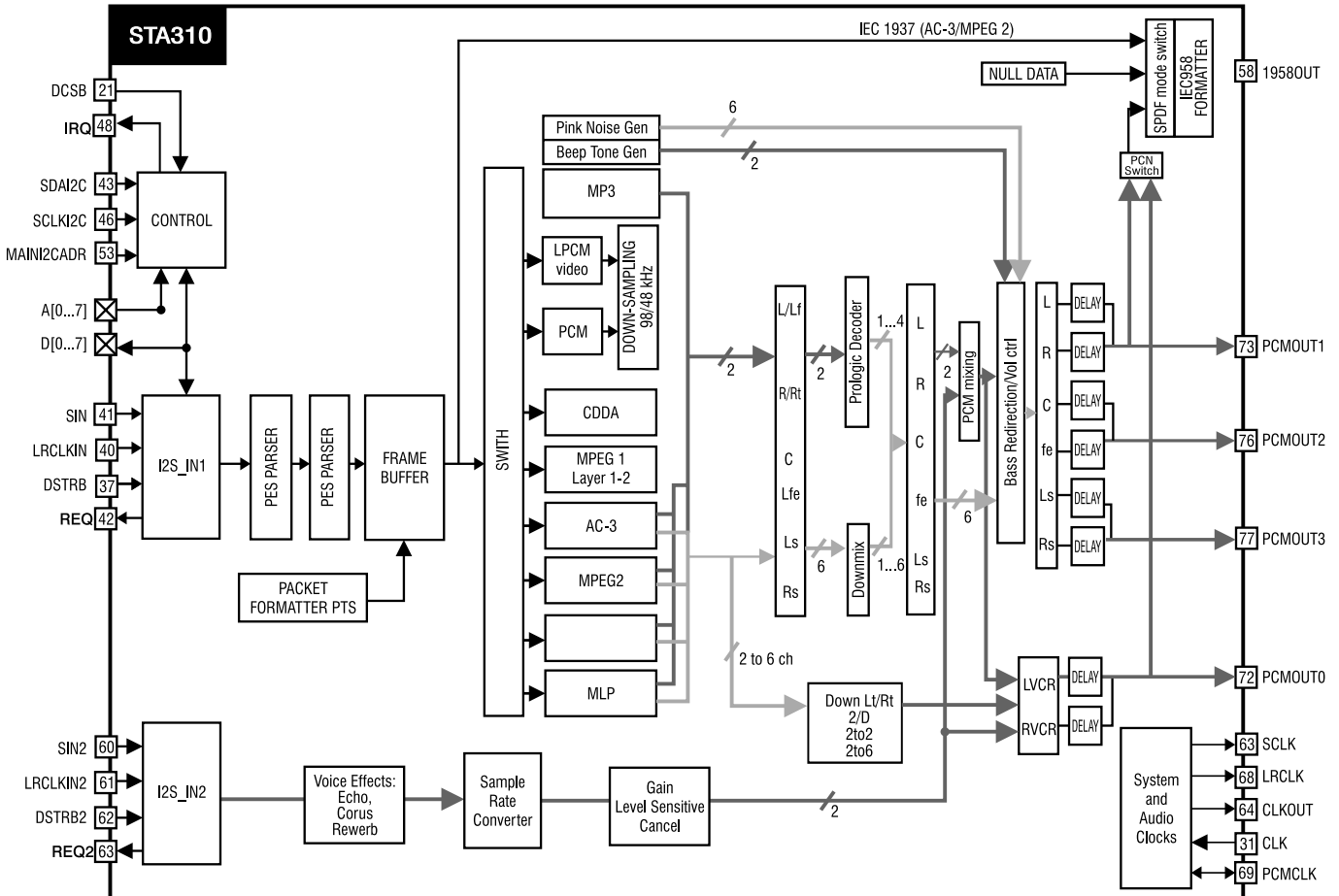
Stabilizator LDO - U11 (SPX1117R2-5) jest źródłem napięcia „+2,5VA” (względem masy analogowej AGND) zasilającego obwody pętli PLL odbiornika S/PDIF układu STA310. Wejście i wyjście tego stabilizatora jest blokowane parami kondensatorów C62, C64 i C60, C58.

Ostatnie wymagane przez STA310 napięcie +3,3 V zasilają układy peryferyjne: interfejsów PCM, magistrali I²C oraz linii sygnałów sterujących. Źródłem tego napięcia jest stabilizator LDO - U8 (SPX1117R3-3). Tym samym napięciem jest również zasilany mikrokontroler Microchipa PIC18F6722 (układ U6) oraz konwerter TTL/RS232 - U7 (MAX3232). Układ U8

jest również blokowany na wejściu (C61) i wyjściu (C57, C59).

Do zasilania wzmacniaczy operacyjnych filtru dolnoprzepustowego przetwornika cyfrowo-analogowego konieczne jest podłączenie symetrycznego napięcia przemiennego 2x12 V do zacisków złącza ZL2. Napięcie to po wyprostowaniu przez mostek M2 i odfiltrowaniu kondensatorami 2200 µF/25 V (C14 i C15) jest podawane na wejścia stabilizatora napięcia dodatniego +9 V typu 7809 (układ U9) oraz na wejście stabilizatora napięcia ujemnego -9 V typu 7909 (układ U10).

Linie zasilające wrażliwe układy: dekodera STA310, przetwornika PCM1680 oraz mikrokontrolera PIC są dodatkowo blokowane przez pary kondensatorów: ceramiczny 100 nF i tanatlowy 1 µF/16 V w obudowach SMD. Kondensatory są umieszczane jak najbliżej nóżek wyprowadzeń zasilania układów scalonych. Blokowanie zasilania i odpowiednie prowadzenie ścieżek zasilających jest warunkiem prawidłowej pracy dość wymagającego pod względem zasilania układu.



Rys. 2. Schemat blokowy dekodera STA310

Podobne rozwiązanie zostało zastosowane przy zasilaniu układów wzmacniaczy operacyjnych filtrów przetwornika. Przy każdym z tych układów zostały umieszczone kondensatory elektrolityczne 10 μF /16 V, dodatkowo blokujące zasilanie +9 V i -9 V.

Dekoder STA310. STA310 jest wielostandardowym dekoderelem kodowanych cyfrowo sygnałów dźwięku dookólnego. Możliwości układu są imponujące. Może dekodować wszystkie kodowane formaty danych audio:

- Dolby Digital AC3
- DTS
- MPEG-1 (2 kanały)
- MPEG-2 (6 kanałów z 24-bitową precyzją)
- MPEG layer 3 (MP3)
- DVD Audio MLP

Oprócz tego, dekodek bez problemu radzi sobie z niekodowanym strumieniem danych PCM. Schemat blokowy dekodera został pokazany na **rys. 2**.

Strumień danych wejściowych jest przesyłany do dekodera przez główny interfejs I2S, na schemacie blokowym oznaczony jako I2S_IN1. Interfejs I2S może być wykorzystany w coraz częściej stosowanych dekodekach zintegrowanych z odtwarzaczem DVD i wszędzie tam, gdzie dane są przesyłane na niewielkie odległości w obrębie jednego urządzenia.

Drugą alternatywną możliwością przesyłania danych jest nie pokazany na **rys. 2** interfejs S/PDIF stosowany przy przesyłaniu na większe

odległości z urządzenia do urządzenia na przykład z odtwarzacza DVD do amplitunera. Oba kanały są równoprawne i mogą być programowo przełączane

W układzie z **rys. 1** dane są przesyłane do dekodera przez interfejs S/PDIF. W strukturze STA310 został umieszczony układowy odpowiednik odbiornika STA120. Interfejs wejściowy odbiornika akceptuje sygnały elektryczne standardu RS422. Sygnał może być symetryczny (taki jak w profesjonalnym standardzie AES) i jest wtedy dołączany do wejść SPDN i SPDP. W urządzeniach konsumenckich, a takim jest odtwarzacz DVD, jest stosowany standard S/PDIF i do tego standardu przystosowane jest wejście ZL_SP. Asymetryczny sygnał o amplitudzie 0,5 V jest podawany przez kondensator C18 na wejście SPDP, a wejście SPDN jest zwierane do masy dla sygnałów zmiennych przez kondensator C20. Rezystor R18 ma zapewniać dopasowanie falowe toru przesyłowego.

Wyjście do podłączenia elementów zewnętrznych (R2, C4 i C3) filtru pętli PLL układu odtwarzania zegara systemowego odbiornika S/PDIF jest połączone z wyprowadzeniem SPDF. Układy analogowe pętli PLL są zasilane napięciem „+2,5VA” poprzez wyprowadzenie VDDA względem masy analogowej AGND dołączanej do wyprowadzenia GNDA.

Układ z **rys. 1** jest również przystosowany do alternatywnego podłączenia strumienia danych wejściowych

przez interfejs I2S_IN1 (gdyby zachodziła taka potrzeba). Wszystkie sygnały interfejsu I2S są połączone do złącza PCM_1.

Oprócz dwu interfejsów danych, które są przesyłane do dekodowania, dekodek został wyposażony w drugie wejście I2S. Dane z tego wejścia nie są poddawane dekodowaniu, ale mogą być wykorzystywane w systemie karaoke (sygnał z mikrofonu) lub mogą być miksowane z sygnałami wyjściowymi dekodera. Zeby układ dekodera z **rys. 1** mógł korzystać z tego interfejsu, to wszystkie jego linie zostały dołączone do złącza PCM_2.

Dekodowanie sygnału kodowanego wymagają wykonywania wielu krytycznych czasowo i skomplikowanych operacji cyfrowego przetwarzania sygnałów. STA310 został zbudowany w oparciu o rdzeń procesora DSP nazywanego przez producenta MMDSP+. Procesor wymaga taktowania zewnętrznym sygnałem zegarowym podawanym na wejście CLK. Standardowo częstotliwość zegara taktującego powinna mieć wartość 27 MHz. Jeżeli z jakichś powodów częstotliwość zegara musi być inna, to można ją regulować w szerokim zakresie przez programowany wewnętrzny układ PLL. Zewnętrzne elementy (C17, C19 i R19) filtru pętli są dołączane do układu przez wyprowadzenie PLLSF.

Zegar systemowy taktujący rdzeń DSP nie musi być zsynchronizowany z sygnałem identyfikacji LRCK wejściowego interfejsu audio I2S.

WYKAZ ELEMENTÓW

Rezystory

R3...R9: 47 Ω /0,25 W
 R18: 75 Ω /0,25 W
 R17, R24, R31, R32, R47, R48: 100 Ω /0,25 W
 R2: 330 Ω /0,25 W
 R1, R10, R15, R16, R19, R23, R29, R30, R46: 1 k Ω /0,25 W
 R49: 3,3 k Ω
 R11, R12, R21, R25, R26, R44: 8,2 k Ω /0,25 W
 R20, R33: 10 k Ω (1206)
 R34...R43: 10 k Ω /0,25 W
 R13, R14, R22, R27, R28, R45: 15 k Ω /0,25 W
 PR: 4,7 k Ω potencjometr montażowy

Kondensatory

C49, C50: 33 pF ceramiczne

C3: 150 pF ceramiczny

C6, C7, C27, C33, C34, C56: 240 pF ceramiczny

C2, C19: 470 pF ceramiczny

C5, C25, C31, C32, C54, C55: 2,2 nF foliowy

C4: 4,7 nF foliowy

C1, C17: 5,6 nF foliowy

C52: 100 nF

C10...C13, C21, C23, C24, C26, C29, C30, C35, C38, C39, C43, C46, C47, C59...C62, C69, C71, C74, C75, C79, C81, C84, C92: 100 nF (1206)

C18, C20: 100 nF foliowy

C22, C28, C37, C40, C45, C48, C53, C65, C66, C67, C72, C73, C78, C80, C83, C85: 1 μF (3216) tantalowy

Cs1...Cs5, C8, C9, C16, C36, C44, C57, C58, C64, C68, C70, C86,

C87...C91: 10 μF /16 V

C14, C15: 2200 μF /25 V

C76: 4700 μF /25 V

Półprzewodniki

U1: STA310

U2: PCM1680

U3,U4, U13: OPA2106

U6: PIC18F8722 zaprogramowany

U7: MAX3232

U9: 7809

U10: 7909

U12, U14: 7805

M1, M2: MOSTEK 1 A/100 V

T1: BD139

Inne

X1 - kwarc 4 MHz

Generator 25 MHz

8 mikroprzycisków

Żeby sygnał zegara systemowego audio mógł być odtworzony z sygnału LRCK, w układ jest wbudowana kolejna już, trzecia pętla PLL. I tak jak poprzednio, elementy zewnętrzne filtru pętli zostały dołączone do układu przez wyprowadzenie PLLAF.

Zdekodowany sygnał wejściowy jest formatowany w jednym z zaprogramowanych formatów PCM i wyprowadzony na wyjścia danych PCM_OUT0...PCM_OUT3. Magistrala PCM jest uzupełniona o sygnały zegarowe:

- identyfikacji kanałów LRCK,
- sygnału zegara taktującego przesyłaniem danych SCLK,
- sygnału zegara systemowego SCLK.

Do interfejsu wyjściowego można podłączyć wszystkie standardowe przetworniki cyfrowo-analogowe.

Przy tak dużych możliwościach dekodowania, niezbędna jest konfiguracja dekodera w zależności od wymagań stawianych aplikacji. Trzeba dodać, że dekodek może wykonywać dodatkowe funkcje: na przykład regulację poziomu sygnałów wyjściowych (siły głosu), operację postprocesingu itp. Konfiguracja i sterowanie funkcjami STA310 odbywa się przez zapisywanie rejestrów wewnętrznych. Do komunikacji z zewnętrznym sterownikiem przewidziano 2 magistrale: równoległą i szeregową.

Magistrala równoległa jest zbudowana w oparciu o 8-bitową szynę danych (wyprowadzenia D0...D7), 8-bitową magistralę adresową (A0...A7) mogącą zaadresować 256 rejestrów i sygnały sterujące !WAIT, HRWB (R!/W) i !DCSB. Magistrala równoległa jest przeznaczona do pracy w systemie mikroprocesorowym z zewnętrzną magistralą danych. Ponieważ systemy z zewnętrzną magistralą są coraz rzadziej stosowane i wykorzystanie magistrali równoległej może być kłopotliwe, to przewidziano możliwość programowania rejestrów przez szeregową magistralę I²C. Linia danych jest wyprowadzona na pin SDA-I2C, a linia zegarowa na SCLK-I2C. W magistrali I²C STA310 jest układem *slave*, a jego adres jest ustalany wyprowadzeniem MAINI2C. Kiedy MAINI2C jest w stanie wysokim, to adres *slave* ma ustaloną, stałą wartość. Kiedy MAINI2C jest w stanie niskim, to adres jest okre-

ślony przez linie A0...A6 (linie adresowe magistrali równoległej).

Wybieranie rodzaju magistrali odbywa się przez wymuszanie stanu logicznego na wejściu SELI2C: stan niski – magistrala równoległa, stan wysoki – magistrala szeregową.

W układzie pokazanym na rys. 1 wykorzystana jest magistrala I²C w wewnętrznym adresem *slave*. Rezystory R34 i R35 realizują wymagane przez standard I²C podciąganie linii interfejsu do plusa zasilania.

Do wymiany dodatkowych informacji z mikrokontrolerem sterownika wykorzystane są linie:

- zgłaszania przerwania zewnętrznego IRQB,
- PTSB,
- deemfazy DEEM,
- częstotliwości próbkowania SFREQ,
- wejście zerowania sprzętowego (*hard reset*) HRSTB

Mikrokontroler sterujący. Głównym zadaniem mikrokontrolera jest ustawianie konfiguracji dekodera i realizacja interfejsu pomiędzy dekodekrem a użytkownikiem. Jak już powiedziałem, mikrokontroler komunikuje się z układem STA310 przez magistralę I²C. Do wykonywania wszystkich regulacji (na przykład regulacja siły głosu) służy klawiatura dołączona do złącza KEYB. Rezystory R36...R43 wymuszają stan wysoki na wejściach portu RF mikrokontrolera. Styki klawiatury zwierają te linie do masy. Złącze WYS jest przeznaczone do podłączenia standardowego wyświetlacza alfanumerycznego ze sterownikiem HD47780. Układ z tranzystorem T1 steruje podświetleniem wyświetlacza. Potencjometrem PR reguluje się kontrast wyświetlacza. Przez złącze DISP można alternatywnie podłączyć graficzny wyświetlacz od telefonu Nokia 3310. W modelowym projekcie oba złącza nie są wykorzystywane, a wszystkie informacje są wyświetlane na efektywnym i bardzo czytelnym wyświetlaczu VFD BA66 o organizacji 4x20 znaków, produkowanym przez firmę Nixdorf z przeznaczeniem dla terminali kas fiskalnych. Sterownik wyświetlacza akceptuje dane w postaci znaków ASCII przesyłanych łączem RS232 z prędkością 9600 Bd. Dane ze sprzętowego modułu USART są konwertowane do poziomu RS232 przez układ MAX3232 zasilany napięciem „+3,3VD”. Wyświetlacz wy-

maga dodatkowego, stabilizowanego źródła zasilania o napięciu +12 V i wydajności prądowej minimum 600 mA.

Złącze ICSP służy do programowania w układzie pamięci programu Flash mikrokontrolera PIC. Elementy R33 i D1 pracują w układzie zerowania mikrokontrolera.

Przetwornik cyfrowo-analogowy. Do konwersji danych PCM na sygnał analogowy zastosowałem przetwornik PCM1680. Jest to 8-kanałowy przetwornik typu delta-sigma produkowany przez firmę Burr Brown i przeznaczony do pracy w wielokanałowych systemach audio. Mimo upakowania czterech klasycznych przetworników analogowo-cyfrowych w jednej obudowie PCM1680 parametrami nie ustępuje dobrym przetwornikom stereofonicznym sprzed paru lat. Ma duży zakres dynamiki (typowo 105 dB) i małe zniekształcenia (THD+N=0,002%). Akceptowana jest częstotliwość próbkowania z zakresu 5 kHz...200 kHz.

Dane są przesyłane do przetwornika przez interfejs PCM składający się z linii danych (DATA), linii sygnału identyfikacji kanałów (LRCK), linii zegara taktującego przesyłaniem danych (BCK) i linii zegara systemowego (SCK). Wszystkie te linie są połączone z wyjściami dekodera STA310 przez rezystory o oporności 47 Ω. Te rezystory w połączeniu z pojemnościami pasożytniczymi tworzą filtry dolnoprzepustowe, filtrujące zakłócenia wielkiej częstotliwości indukujące się na ścieżkach płytki drukowanej.

Przetwornik ma wbudowany układ automatycznej detekcji mnożnika zegara systemowego. Mnożnik może mieć wartość 128fs, 192fs, 256fs, 384fs, 512fs, 768fs i 1152fs.

W każdym z sygnałów PCM, z wyjścia dekodera STA310 (PCM_OUT0...PCM_OUT3) przesyłane są 2 kanały audio. W **tab. 1** pokazano przyporządk-

Tab. 1. Przyporządkowanie wyjść przetwornika PCM1680		
Wejście danych	Kanał	Wyjście analogowe
DATA1	Lewy	Vout1
	Prawy	Vout2
DATA2	Lewy	Vout3
	Prawy	Vout4
DATA3	Lewy	Vout5
	Prawy	Vout6
DATA4	Lewy	Vout7
	Prawy	Vout8

Tab. 2. Wybór magistrali sterującej

Wyprowadzenie MSEL	Tryb pracy interfejsu	Funkcje wyprowadzeń		
		Pin2	Pin3	Pin4
Stan niski	SPI	IMS	MC	MD
Stan wysoki	I ² C	Adres	SCL	SDA

kowanie sygnałom danych wejściowych, wyjść analogowych.

Przetwornik jest konfigurowany przez zapisywanie wewnętrznych rejestrów. Dane konfiguracyjne mogą być przesyłane magistralą I²C lub SPI. Stan niski na wejściu MSEL powoduje wybranie magistrali SPI, a stan wysoki magistrali I²C. W tab. 2 zostały pokazane funkcje wyprowadzeń 2, 3 i 4 układu dla każdej z magistral.

Ze względu na to, że układ STA310 jest sterowany magistralą I²C, to PCM1680 został również dołączony do tej magistrali. Rezystor R10 wymusza stan wysoki na wejściu MSEL. Linia adresowa MS/ADR jest zwarta z masą.

Rejestry przetwornika po włączeniu zasilania są inicjowane domyślnymi wartościami (tab. 3).

Po włączeniu zasilania przetwornik jest ustawiany domyślnie z 24-bitowym formatem, dosunięciem do lewej, regulatorem poziomu wyjściowego ustawionym na brak tłumienia (0 dB) i wyłączonym wyciszaniem. Gdyby takie ustawienia były akceptowane przez źródło sygnału (STA310), to komunikacja szyną I²C z przetwornikiem nie byłaby konieczna. Niestety dane wyjściowe dekodera mają format I2S i przetwornik musi być przeprogramowany.

Zarówno część cyfrowa, jak i analogowa PCM1680 są zasilane napięciem +5 V. Minimalne napięcie wejściowe dla stanu wysokiego wynosi 2 V, więc układ bez problemu pra-

cjuje z sygnałami portu wyjściowego STA310 zasilanego napięciem +3,3 V.

Przetwornik ma wbudowany konwerter prąd/napięcie i sygnały wyjściowe audio są sygnałami napięciowymi. Napięciowy sygnał wyjściowy musi być poddany filtrowaniu w analogowym filtrze dolnoprzepustowym.

Analogowy filtr dolnoprzepustowy. Przetworniki delta-sigma charakteryzują się z zasady dużymi szumami kwantowania. Żeby wyeliminować, a raczej znacząco ograniczyć to niekorzystne zjawisko, stosuje się technikę kształtowania widma szumów (*noise shaping*). Polega ona głównie na spowodowaniu, by znakomita część energii widma szumów znalazła się poza pasmem określonym przez częstotli-

wość Nyquista ($f_s/2$). Tak przekształcony sygnał wyjściowy z przetwornika musi być filtrowany przez analogowy filtr dolnoprzepustowy. W układzie PCM1680 wbudowany jest taki filtr, ale musi być uzupełniony o zewnętrzny filtr analogowy.

Każdy z sześciu podstawowych kanałów wyjściowego sygnału analogowego przetwornika jest filtrowanych aktywnym filtrem dolnoprzepustowym Butterwortha drugiego rzędu. Zastosowano tutaj układ z wielokrotnym sprzężeniem zwrotnym MFB (*multiple feedback*).

Elementy stosowane w filtrze powinny być dobrej jakości. Szczególnie dotyczy to wzmacniacza operacyjnego. W modelowym układzie został zastosowany układ OPA2604 firmy Burr Brown. Wzmacniacze operacyjne filtrów są zasilane napięciem symetrycznym ± 9 V z układu zasilania omówionym wcześniej.

Tomasz Jabłoński, EP
tomasz.jablonski@ep.com.pl

Tab. 3. Wartości domyślne rejestrów PCM1680

Funkcja	Wartość domyślana po zerowaniu	Rejestr
Cyfrowe sterowanie poziomem sygnału 0...-63 db z krokiem co 0,5 dB	0 dB – bez tłumienia	1...6, 16, 17
Sterowanie wyciszaniem	Wyciszanie wyłączone	7, 18
Uaktywnianie kanałów DAC	DAC1...DAC8 aktywne	8, 19
Format danych wejściowych audio	24-bitowy, dosunięty do lewej	9
Charakterystyka filtru cyfrowego	Ostro opadająca	9
Deemfaza dla wszystkich kanałów	Deemfaza wyłączona	10
Deemfaza w funkcji częstotliwości próbkowania	44,1 kHz	10
Faza analogowego sygnału wyjściowego	Niezmieniana	10
Polaryzacja wyjścia zero flag	Stan wysoki	10
Blokada zerowania programowego	Zablokowany	10
Współczynnik nadpróbkowania	x64 x32 x16	12
Tryb pracy regulatora poziomu sygnału wyjściowego	0 db...-63 dB z krokiem co -0,5 dB	13
Kombinacja sygnałów wyjścia zero flag	ZERO1: DATA1 Lch Zero2: DATA1 RCh	13

Dekoder Dolby Digital/DTS, część 2 AVT-982



Cyfrowy dekodery Dolby to urządzenie na miarę XXI wieku. Jego powstanie było możliwe dzięki postępowi technologicznemu. Urządzenie zostało wykonane z użyciem elementów, które wprawdzie nie są łatwo dostępne, ale gwarantują wysoką jakość urządzenia.

Rekomendacje: wykonanie dekodera będzie zadaniem trudnym, a nawet bardzo trudnym, jeśli jednak zakończy się sukcesem, na pewno dostarczy wiele satysfakcji i zadowolenia.

PODSTAWOWE PARAMETRY

- Płytki o wymiarach 137x77 mm
- Zasilanie 8...12 VAC
- Systemy dekodowania wielokanałowego dźwięku dookólnego: Dolby Digital 5.1 i DTS ES
- Odtwarzanie niekodowanych danych PCM
- Automatyczne wykrywanie systemu kodowania AC3/DTS/PCM
- Wykrywanie i dekodowanie sygnału Dolby Surround Pro Logic
- Cyfrowa regulacja poziomu sygnału (głośność) Master Volume
- Regulacja balansu w każdym z kanałów
- Regulacja opóźnienia w każdym z kanałów
- Możliwość aplikacji systemów SRS, VMAX i Circle Surround (zależnie od wersji dekodera STA310)
- Wejście S/PDIF (standard RS422)
- Opcjonalne wejście I2S
- Liczba kanałów przetwornika DAC: 6
- Liczba kanałów wyjścia sygnału analogowego: 6
- Liczba kanałów analogowego filtra dolno-przepustowego: 6

Działanie dekodera

Dekodowanie sygnału wejściowego zostało funkcjonalnie podzielone na kilka etapów.

Pierwszy etap to operacja *parsingu*. *Parsing* jest wykonywany w procesorze wejściowym i jego działanie jest podzielone na dwie części: *parser* pakietów i *parser* audio.

Parser pakietów dzieli na pakiety strumień danych wejściowych, następnie je sortuje i przesyła do *parsera* audio. Żeby ze strumienia danych wejściowych poprawnie „wyłowić” początek pakietu, trzeba najpierw wykryć słowo synchronizacyjne pakietów. Możliwe jest zaprogramowanie automatu wyszukiującego słowa synchronizacyjne na znalezienie jednego lub dwu słów przed rozpoczęciem pakietowania danych. *Parser* pakietów może być również zaprogramowany na detekcję tylko jednego typu danych na podstawie identyfikatora ID. Pakiety o innym ID będą ignorowane (nie przesyłane do następnej fazy *parsingu*).

Parser audio wykrywa słowo synchronizacyjne audio. To słowo synchronizacyjne musi odpowiadać typowi danych, które mają być dekodowane (na przykład DTS). Możliwe jest zaprogramowanie wykrycia 2 słów synchronizacyjnych przed rozpoczęciem *parsingu*.

Stan synchronizacji *parsera* można określić odczytując zawartość rejestru SYNC_STATUS.

Pokazany na rys. 2 przełącznik kieruje dane audio (zakodowane

lub nie) na podstawie informacji otrzymanej z *parsera* do odpowiedniego bloku dekodera, gdzie następuje właściwe dekodowanie.

Kolejnym etapem jest właściwe dekodowanie. Na wejściu bloku dekodera pojawiają się dane wyjściowe z *parsera*. Układ może dekodować formaty AC3 (Dolby Digital), MPEG1, MPEG2 layer II, LPCM, MP3 i DTS.

Dekodowanie sygnału podzielone jest na fazy:

- faza idle,
- faza inicjalizacji,
- faza dekodowania.

Faza idle jest wprowadzana po sprzętowym lub programowym zerowaniu dekodera. Procesor DSP nie dekoduje danych wejściowych i czeka na komendę RUN. Po komendzie RUN mikrokontroler musi wpisać do rejestrów STA310 wszystkie niezbędne dane inicjalizacyjne. W fazie inicjalizacji nawet wtedy, kiedy dane nie są przetwarzane możliwe jest takie zaprogramowanie układu, że są generowane sygnały zegarowe interfejsu wyjściowego PCM (MUTE=1). Umożliwia to komunikację i inicjalizację z zewnętrznym przetwornikiem cyfrowo-analogowym i jest również bardzo przydatne w tym rozwiązaniu, bo PCM1680 wymaga programowego ustawienia wejściowego formatu I2S.

Faza dekodowania rozpoczyna się po wysłaniu do dekodera komendy RUN, wykonaniu inicjalizacji i wykonaniu komendy PLAY. Dekodowanie jest zatrzymywane przez wysła-

Tab. 4. Działanie komend PLAY i MUTE w fazie dekodowania

Komenda		Wyjście zegara systemowego	Wyjście PCM	Dekodowanie
Play	Mute			
0	0	Brak	0	nie
0	1	Jest przebieg	0	nie
1	0	Jest przebieg	Dane wyjściowe	tak
1	1	Jest przebieg	0	tak

nie do dekodera komendy MUTE. W tab. 4 pokazano kombinacje komend PLAY i MUTE.

Sygnał danych pojawia się na wyjściach danych wyjściowego interfejsu PCM, kiedy jest aktywna komenda PLAY i nieaktywna komenda MUTE, (jeżeli dekodek jest w fazie dekodowania). Zdekodowane dane wyjściowe z dekodera są poddawane operacjom *post decodingu*, przekierowaniu kanału basowego LFE i regulacji poziomu (głośności), a także balansu kanałów.

W skład operacji *post decodingu* wchodzi filtrowanie składowej stałej, filtrowanie deemfazy i *downsampling*. W bloku *post decodingu* wbudowany jest też dekodek Dolby Prologic.

Przekierowanie kanału basowego LFE umożliwia wydzielenie niskich częstotliwości z wszystkich kanałów (L,R, C, Ls, RS, Lfe) i przesłanie ich do specjalnego kanału subwoofera. Funkcja ta musi umożliwiać odtwarzanie niskich częstotliwości przez podstawowe głośniki kanału lewego i prawego (front), kiedy w systemie nie ma głośnika basowego.

Funkcja regulacji głośności i balansu umożliwia regulowanie poziomu sygnału wyjściowego niezależnie w każdym z 6 kanałów.

Taktowanie dekodera

System generowania sygnałów zegarowych dekodera STA310 jest podzielony na 2 niezależne moduły: moduł taktowania rdzenia DSP i moduł taktowania układów wyjściowych PCM. Źródłem sygnału zegarowego dla obu modułów jest przebieg podawany na wyprowadzenie CLK o domyślnej częstotliwości 27 MHz.

Rdzeń DSP może być taktowany na 4 sposoby (rys. 3):

- sygnałem zegara z wyprowadzenia CLK,
- sygnałem zegara z wyprowadzenia CLK o częstotliwości podzielonej przez 2,
- sygnałem z wyjścia układu PLL systemowego,

- sygnałem z wyjścia układu PLL systemowego o częstotliwości podzielonej przez 2

Jeżeli dostępny jest przebieg o częstotliwości 27 MHz, to zazwyczaj nie ma potrzeby taktowania rdzenia z wyjścia układu PLL systemowego. Kiedy zewnętrzny zegar taktujący ma inną częstotliwość lub potrzebna jest większa wydajność rdzenia, to można wykorzystać do taktowania wyjście PLL. Zakres generowania częstotliwości wyjściowych jest stosunkowo duży, a przy tym można je dokładnie ustawiać. Zegar taktujący rdzeń DSP jest dostępny na wyjściu CLKOUT.

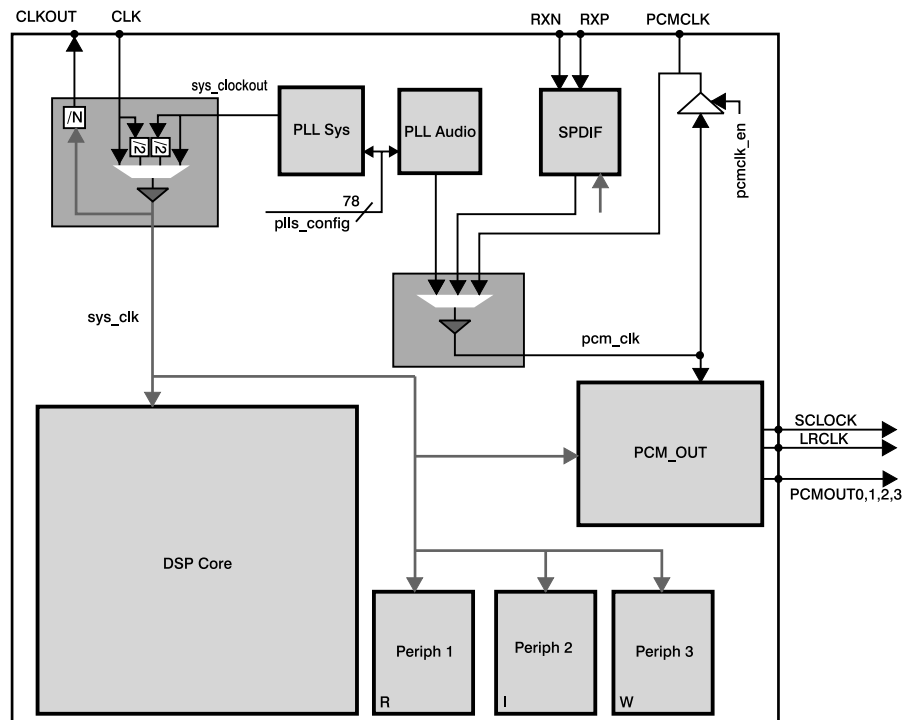
System taktowania układami wyjściowymi PCM przez układ PLL audio jest też zoptymalizowany dla częstotliwości CLK=27 MHz. W trakcie wewnętrznej procedury inicjalizacyjnej wykonywanej po włączeniu zasilania, do rejestrów PLL audio wpisywane są wartości domyślne i nie ma potrzeby ich przeprogramowywania. Jeżeli sygnał wejściowy jest podawany na wej-

ście I2S_1, a CLK ma częstotliwość inną niż 27 MHz, to układ PLL audio musi być przeprogramowany. Układy wyjściowe PCM mogą być też taktowane zegarem odtworzonym z sygnału S/PDIF lub zegarem podanym na wyprowadzenie PCMCLK. Po włączeniu zasilania układ PLL nie jest aktywny, a wyprowadzenie PCMCLK jest ustawione jako wejściowe.

Interfejsy PCM

Dane wejściowe mogą być przesyłane do dekodera przez wejście I2S_1, wejście S/PDIF lub przez interfejs równoległy. Interfejs równoległy do przesyłania danych audio jest współdzielony z interfejsem równoległym do programowania rejestrów konfiguracyjnych. Dane z wejścia I2S_2 nie są dekodowane, ale mogą być miksowane ze zdekodowanymi sygnałami wyjściowymi. To wejście może być wykorzystywane do podłączenia mikrofonu (przez przetwornik analogowo-cyfrowy) w systemie karaoke.

Interfejs równoległy jest przewidziany do specjalnych zastosowań, na przykład do połączenia z innym procesorem DSP. Przez interfejs I2S_1 podawane są dane przeznaczone do dekodowania. Zazwyczaj jest wykorzystywany, kiedy STA310 pracuje w większym



Rys. 3. Schemat blokowy systemu zegarowego

systemie, na przykład w dekodерze zintegrowanym z układami odtwarzacza DVD.

Z naszego punktu widzenia najbardziej atrakcyjnym wejściem jest wejście S/PDIF. Można przez nie bezpośrednio połączyć sygnał z wyjścia odtwarzacza DVD. Poza tym nie trzeba się martwić o źródło sygnału taktującego układy wyjściowe PCM (zegar systemowy audio). Jest on odtwarzany z bifazowo zakodowanego sygnału wejściowego.

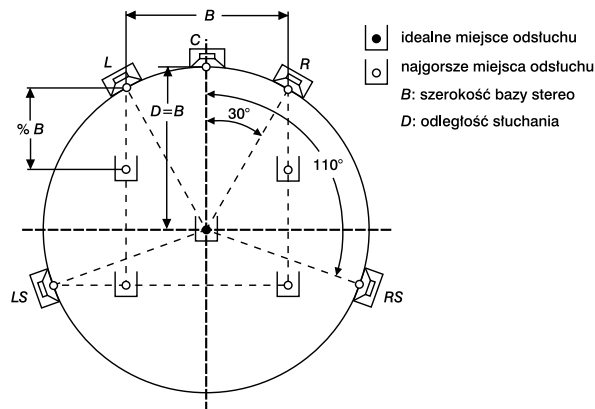
Zastosowanie interfejsu S/PDIF umożliwia wykorzystanie bardzo atrakcyjnej właściwości dekodera. Potrafi on ze strumienia danych w module parsera wydzielić informację o rodzaju dekodowanego sygnału i automatycznie wykryć system dekodowania. Takiej właściwości nie ma przesyłanie danych przez wejście I2S_1.

Dane wyjściowe są formatowane do formatu PCM akceptowanego

przez większość przetworników cyfrowoanalogowych. Format wyjściowy jest programowany przez zapisanie odpowiednich rejestrów układu. W modelowym układzie został zaprogramowany format I2S. Interfejs PCM składa się z linii danych, zegara taktującego przesyłaniem danych, sygnału identyfikacji kanałów i zegara systemowego. Sygnały zegarowe są uzyskiwane z wejściowego zegara systemowego.

Dekodowanie systemu AC3 (Dolby Digital)

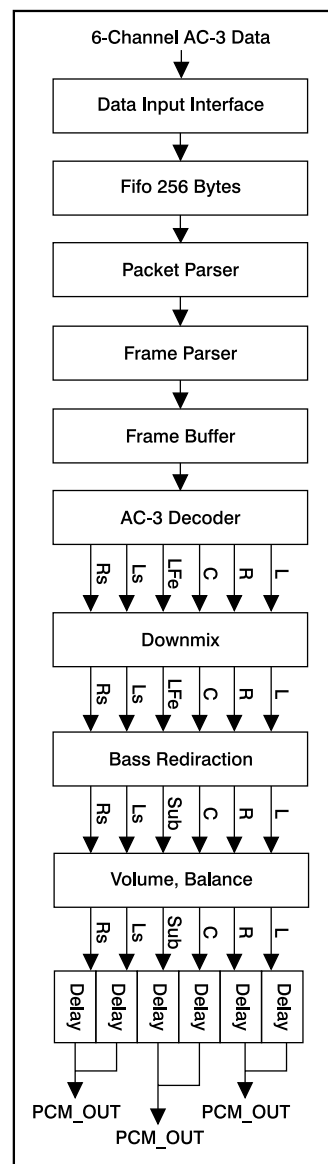
Jak wiemy, gdy wykorzystywane jest wejście S/PDIF, dekodер może automatycznie wykryć rodzaj zakodowanego sygnału. Informacja o tym, że takie wykrycie nastąpiło i jaki jest rodzaj zakodowanego sygnału jest zapisywana do od-



Rys. 4. Rozmieszczenie głośników w systemie Dolby

powiednich rejestrów układu. Ta właściwość została wykorzystana w działaniu opisywanego dekodera. Do detekcji zmiany można również

Tab. 5. Rejestr OCFG			
Bit	Konfig.	Specyfikacja Dolby	Opis
OCFG [2...0]			Konfiguracje zarządzania kanałem basowym w powiązaniu ze standardem Dolby. Dla konfiguracji 2, 3, 4 bit LFE może być ustawiony na 1, dla pozostałych konfiguracji LFE nie ma znaczenia
	0	ALL	Wszystkie kanały są przesyłane bez zmian i są poddawane tylko regulacji poziomu sygnału
	1	LSW	Niskie częstotliwości są wydzielane ze wszystkich 6 kanałów wejściowych i kierowane do kanału subwoofera według zależności $SUB=LP(L+R+Ls+Rs+C+LFE)$. W tej konfiguracji niskie częstotliwości są usuwane (filtrowane) z wszystkich 5 kanałów poza kanałem SUB
	2	LLR	Niskie częstotliwości są wydzielane z wejściowych kanałów C, SUB, Ls i Rs i kierowane do przednich kanałów L i R według zależności $L=L+LP(C+LFE+Ls+Rs)$, $R=R+LP(C+LFE+Ls+Rs)$. Jeżeli jest użyty kanał subwoofera (LFE=1), to $SUB=LP(LFE+C+Ls+Rs)$
	3	SLP	Niskie częstotliwości są kierowane do kanałów L, R, Ls i Rs, lub mogą być kierowane do kanału subwoofera. Jeżeli bit LFE=0, to $L=L+LP(C)+LFE$, $R=R+LP(C)+LFE$, $Ls=Ls+LFE$, $Rs=Rs+LFE$. Jeżeli bit LFE=1, to $SUB=LFE$, $L=L+LP(C)$, $R=R+LP(C)$, $Ls=Ls$, $Rs=Rs$
	4	SIMP	Niskie częstotliwości są wydzielane z kanałów C, LFE, Ls i Rs i kierowane: jeżeli bit LFE=0 $SUB=LFE$, $L=L+(C+Ls+Rs)$, $R=R+(C+Ls+Rs)$, jeżeli bit LFE=1
	5	BYP	Wszystkie kanały są przesyłane bezpośrednio do wyjść PCM
	6		Konfiguracja 1 bez filtrowania
BOOST			Jeżeli OCFG=2 (LLR) 0 nie ma znaczenia 1 podbicie niskich częstotliwości +12 dB w przednich kanałach L i R Jeżeli OCFG=3 (SLP) Dla aktywnego subwoofera 0 nie ma znaczenia 1 podbicie niskich częstotliwości +4 dB dla wszystkich kanałów Jeżeli subwoofer nie jest aktywny 0 nie ma znaczenia 1 podbicie niskich częstotliwości +8 dB dla wszystkich kanałów
	LFE		0 – kanał subwoofera jest wyłączony 1 – kanał subwoofera jest aktywny



Rys. 5. Fazy dekodowania sygnału AC3

wykorzystać mechanizm zgłaszania sprzętowego przerwania do mikrokontrolera sterującego.

Kodowanie AC3 jest wykorzystywane w najbardziej znanym systemie dźwięku dookólnego – Dolby Digital firmy Dolby. Praktycznie każdy film oferowany na płytach DVD w naszym kraju ma dźwięk dookólny zapisany w systemie Dolby Digital 5.1

System Dolby Digital 5.1 jest uproszczoną, konsumencką wersją kinowego systemu stosowanego z powodzeniem w profesjonalnej kinematografii od wielu lat. Do odtwarzania dźwięku dookólnego wykorzystuje się 5 kanałów:

- 2 kanałów – prawego R i lewego L, umieszczonych z przodu przed słuchaczem. Są to odpowiedniki kanałów w klasycznej stereofonii,
- kanału centralnego, w którym są przesyłane głównie dialogi,
- 2 kanałów efektów: prawego Rs i lewego Ls, umieszczonych z tyłu za słuchaczem.

Dodatkowo przesyłany jest specjalny kanał subbasowy LFE. Kanał LFE służy do przesyłania niskich częstotliwości akustycznych i jest przeznaczony do sterowania specjalnego głośnika niskotonowego subwoofera. Każdy z kanałów jest

oddzielnie nagrywany i przesyłany z pełną separacją. Jest to spory postęp w stosunku do starszego systemu Dolby Pro Logic, gdzie kanał efektów (*surround*) był wytwarzany w dekodерze. Znormalizowane rozmieszczenie głośników w systemie Dolby zostało pokazane na **rys. 4**.

Kiedy *parser* wykryje rodzaj kodowanego sygnału, to informacja ta jest wpisywana do rejestru DECODESEL. Dla systemu Dolby Digital DECODESEL=0. Po wykryciu, że sygnał jest zakodowany w systemie Dolby Digital, w dekodерze trzeba wybrać jeden z 4 systemowych trybów kompresji:

- Tryb Custom A (custom 0 w specyfikacji Dolby),
- Tryb Custom D (custom 1 w specyfikacji Dolby),
- Tryb Line,
- Tryb RF.

Tryb jest wybierany przez zapisanie rejestru AC3_COMP_MOD. W modelowym rozwiązaniu został wybrany tryb liniowy (Line). Opis działania każdego z trybów można znaleźć w specyfikacji systemu Dolby.

Kolejną czynnością konfiguracyjną jest zaprogramowanie funkcji *downmix*. W wielokanałowych systemach dźwięku dookólnego można zredukować liczbę kanałów, przez

przesyłanie informacji z redukowanego kanału do innych kanałów. Przykładem *downmix'u* jest tryb phantom, gdzie informacja z kanału centralnego (dialogi) jest przesyłana do kanałów przedniego lewego i przedniego prawego. Stosuje się też *downmix* do formatu Dolby 2.0, gdzie cała informacja dźwięku przestrzennego jest przesyłana w systemie dwukanałowym (stereo).

Downmix nie jest prostym sumowaniem kanałów. Musi zapewnić spójność fazową i jednakową głośność kanałów. W dekodерze STA310 *downmix* dla dekodera AC3 programuje się przez zapisanie rejestru AC3_DOWNMIX.

Kolejnym krokiem inicjalizacji dekodera będzie zaprogramowanie funkcji przekierowania kanału basowego (*bass redirection*) przez zapisanie rejestru OCFG – **tab. 5**.

Na **rys. 5** pokazano schematycznie wszystkie fazy dekodowania sygnału AC3. Za regulatorami głośności umieszczone są moduły opóźnień czasowych. Regulacja opóźnień w każdym z kanałów pozwala na kompensowanie wpływu akustyki pomieszczenia odsłuchowego na odtwarzany dźwięk dookólny.

Tomasz Jabłoński, EP
tomasz.jablonski@ep.com.pl

Uniwersalne płytki do montażu SMD



www.sklep.avt.pl
tel. 22-5689950

MS-DIP/PLCC1
 Płytki do montażu elementów PLCC16, PLCC68
Cena: 4,80 zł

Dekoder Dolby Digital/DTS, część 3 AVT-982

Cyfrowy dekodery Dolby to urządzenie na miarę XXI wieku. Jego powstanie było możliwe dzięki postępowi technologicznemu. Urządzenie zostało wykonane z użyciem elementów, które wprawdzie nie są łatwo dostępne, ale gwarantują wysoką jakość urządzenia.

Rekomendacje:

wykonanie dekodera będzie zadaniem trudnym, a nawet bardzo trudnym, jeśli jednak zakończy się sukcesem, na pewno dostarczy wiele satysfakcji i zadowolenia.



Programowanie dekodera

Sterowanie wszystkimi funkcjami dekodera odbywa się przez zapisanie rejestrów wewnętrznych. Jest ich 256, ale tylko część opisana w dokumentacji układu jest dostępna dla użytkownika. Pozostałe są zarezerwowane.

Rejestry od adresu 0x00 do 0x3F są inicjalizowane po sprzętowym zerowaniu (*hard reset*). Pozostałe rejestry (adresy 0x40...0x100) nie są inicjalizowane automatycznie i muszą być po każdym zerowaniu sprzętowym odpowiednio zapisywane (dotyczy to też zerowania po włączeniu zasilania).

W naszym projekcie dekodera zapisywanie i odczytywanie odbywa się z wykorzystaniem magistrali I²C. Większość współczesnych mikrokontrolerów posiada wbudowany sprzętowy interfejs I²C Master bardzo ułatwiający komunikację z układami Slave.

W trakcie projektowania dekodera, kiedy wybierałem interfejs do komunikacji, natrafiłem na niespodziewaną przeszkodę. Wszystkie dotychczas spotkane przeze mnie układy firmy STM były dobrze udokumentowane. Jednak okazało się, że dokumentacja STA310 pozostawia bardzo wiele do życzenia. Pierwszym dużym problemem był brak wartości elementów zewnętrznych filtrów pętli PLL. Producent nie podał ani sugerowanych wartości, ani

sposobu ich wyliczenia. Kolejną (ale nie ostatnią) niemiłą niespodzianką był brak jakichkolwiek informacji na temat przesyłania danych przez magistralę I²C. Nie wiedziałem, jaki jest adres Slave układu dekodera i musiałem go dopiero ustalić w trakcie wielu prób. Kolejnym krokiem było określenie protokołu wymiany informacji. Tutaj posłużyłem się analogią do innych znanych mi rodzajów wymiany informacji po I²C.

W konfiguracji magistrali pokazanej na rys. 1, adres Slave układu STA310 ma wartość 0x5C. Zapisywanie rejestrów rozpoczyna się od wysłania adresu Slave uzupełnionego o bit R/W=0. Następnie wysyłany jest 8-bitowy adres rejestru (subadres) i 8-bitowa dana. Na list. 1 jest pokazana procedura zapisu rejestru STA310. Zastosowane są tu biblioteczne procedury obsługi magistrali kompilatora MPLAB C-18 firmy Microchip

Odczytanie zawartości rejestru jest bardziej skomplikowane. Procedura odczytywania zaczyna się od wysłania sekwencji startu, adresu slave z bitem R/W=0 i adresu odczytywanego rejestru. W tym momencie jest określony adres rejestru, ale żeby można było go odczytać, to trzeba na magistralę wpisać sekwencję powtórnego startu i adres slave z bitem R/W=1 (odczy-

PODSTAWOWE PARAMETRY

- Płytki o wymiarach 137x77 mm
- Zasilanie 8...12 VAC
- Systemy dekodowania wielokanałowego dźwięku dookólnego: Dolby Digital 5.1 i DTS ES
- Odtwarzanie niekodowanych danych PCM
- Automatyczne wykrywanie systemu kodowania AC3/DTS/PCM
- Wykrywanie i dekodowanie sygnału Dolby Surround Pro Logic
- Cyfrowa regulacja poziomu sygnału (głośność) Master Volume
- Regulacja balansu w każdym z kanałów
- Regulacja opóźnienia w każdym z kanałów
- Możliwość aplikacji systemów SRS, VMAX i Circle Surround (zależnie od wersji dekodera STA310)
- Wejście S/PDIF (standard RS422)
- Opcjonalne wejście I2S
- Liczba kanałów przetwornika DAC: 6
- Liczba kanałów wyjścia sygnału analogowego: 6
- Liczba kanałów analogowego filtra dolno-przepustowego: 6

List. 1. Procedura zapisu rejestru układu STA310

```
void write_host_reg(unsigned char subaddr, unsigned char data)
{
  StartI2C1(); //sekwencja startu I2C
  IdleI2C1(); //czekaj na zwolnienie magistrali
  WriteI2C1(0xb8); //adres slave 0x5C i bit r/w=0
  IdleI2C1(); //czekaj na zwolnienie magistrali

  WriteI2C1(subaddr); //wpisz adres rejestru
  IdleI2C1();
  WriteI2C1(data); //zapisz dana do rejestru
  IdleI2C1();

  StopI2C1(); //sekwencja stopu
}
```

tywanie). Następne 8 taktów zegara wyprowadza na magistralę zawartość wcześniej zaadresowanego rejestru (odczytywane procedurą ReadI2C). Odczytywanie kończy się sekwencją stopu. Procedura odczytywania danych z układu STA310 została pokazana na **list. 2**.

Po włączeniu zasilania lub wykonaniu programowego zerowania dekodera wchodzi w stan Idle i czeka na komendę RUN, a następnie na inicjalizację. W dokumentacji umieszczono dokładny opis rejestrów, ale przestudiowanie tego opisu nie wystarczy. Dekoder w wielu przypadkach wymaga wykonania sekwencji wpisów do rejestrów. Producent nie udostępnił na swoich stronach nawet podstawowych informacji jak wykonać elementarne czynności, na przykład programowe zerowanie niezbędne do wpisania inicjalizacji innego systemu dekodowania. Z tego powodu projektowanie dekodera i pisanie programu sterującego trwało wiele miesięcy i wymagało wykonania sporej pracy. Jako przykład przytoczę wspomnianą wyżej procedurę programowego zerowania dekodera. W opisie rejestrów znajduje się rejestr SOFTRESET. Wpisanie 1 do tego rejestru powoduje zainicjowanie sekwencji programowego zerowania, ale nie wystarczy, żeby się prawidłowo wykonało. Kompletna procedura została pokazana na **list. 3**.

Zerowanie rozpoczyna się od wpisania 1 do rejestru SOFTRESET. Następnie trzeba wpisać do rejestru BBREAKPOINT wartość 8. W opisie tego rejestru jest powiedziane, że trzeba do niego wpisać 8, ale zupełnie pominięto, że ma być to zrobione po poleceniu programowego zerowania. Podobnie się ma sytuacja z komendą CLOCKCMD. Po wykonaniu tych trzech wpisów program musi czekać na zakończenie procedury bootowania i odblokować system audio PLL przez wpisanie 1 do rejestru ENA_AU_FRACPLL.

Po wykonaniu zerowania sterownik wpisuje do dekodera konfigurację systemu PLL (jeżeli układ jest taktowany zegarem 27 MHz, to jest to zbędne). Potem trzeba przeprogramować wejście, tak by dekodowane dane i zegar systemowy audio pochodziły z wbudowanego interfejsu S/PDIF. Konfigurację wstępną kończy zaprogramowanie rejestrów bloku synchronizacji i formatu sygnałów wyjściowych bloku PCM.

Od tego momentu można do dekodera wysłać polecenie RUN, wyłą-

List. 2. Procedura odczytywania danych z rejestrów STA310

```
unsigned char read_host_reg(unsigned char subaddr)
{
    unsigned char data;
    StartI2C1(); //sekwencja startu
    IdleI2C1();
    WriteI2C1(0xb8); //adres 0x5C i bit r/w=0
    IdleI2C1();
    WriteI2C1(subaddr); //adres odczytywanego rejestru
    IdleI2C1();

    RestartI2C1(); //repeat start
    IdleI2C1();
    WriteI2C1(0xb9); //adres 0x5C i bit r/w=1
    IdleI2C1();
    data=ReadI2C1();
    StopI2C1();
    return(data);
}
```

List. 3. Procedura programowego zerowania dekodera

```
void hot_reset_host(void)
{
    write_host_reg(16,1); //soft reset
    write_host_reg(43,8); //break poin reg
    write_host_reg(58,0); //CLKCMD - start clock
    while(read_host_reg(255)!=1); //czekaj na koniec bootowania
    write_host_reg(181,1); //enable use audio PLL
}
```

List. 4. Uaktywnienie i zaprogramowanie automatycznego wykrywania systemu kodowania

```
write_host_reg(0xe0,1); //uaktywnienie automatu
write_host_reg(0xe1,3);
write_host_reg(0xe2,10);
```

czyć MUTE i wysłać polecenie PLAY. Dekoder zaczyna przetwarzać dane z wejścia S/PDIF. Jeżeli dysponujemy nowszą wersją krzemu cut2.0, to można wykorzystać mechanizm automatycznego wykrywania dekodowanego sygnału. Właściwość tę uaktywnia się przez wysłanie do układu sekwencji z **list. 4**.

Zmiana systemu kodowania jest sygnalizowana przez ustawienie bitu RST w 16-bitowym rejestrze INT (adresy 0x09 i 0x0A). Ustawienie tego bitu może zgłosić przerwanie sprzętowe do mikrokontrolera sterującego. Można też sprawdzać jego stan metodą polling'u. Po wykryciu zmiany formatu danych wejściowych, sterownik musi wykonać sekwencję programowego zerowania i odczytać zawartość rejestrów DECODESEL i STREAMSEL.

W rejestrze DECODESEL zawarta jest informacja o systemie kodowania, a w STREAMSEL o wejściu (I2S lub S/PDIF). Na podstawie tych informacji sterownik musi wykonać sekwencję inicjalizującą i po poleceniach RUN i PLAY rozpoczyna się przesyłanie zdekodowanych danych na wyjścia danych PCM.

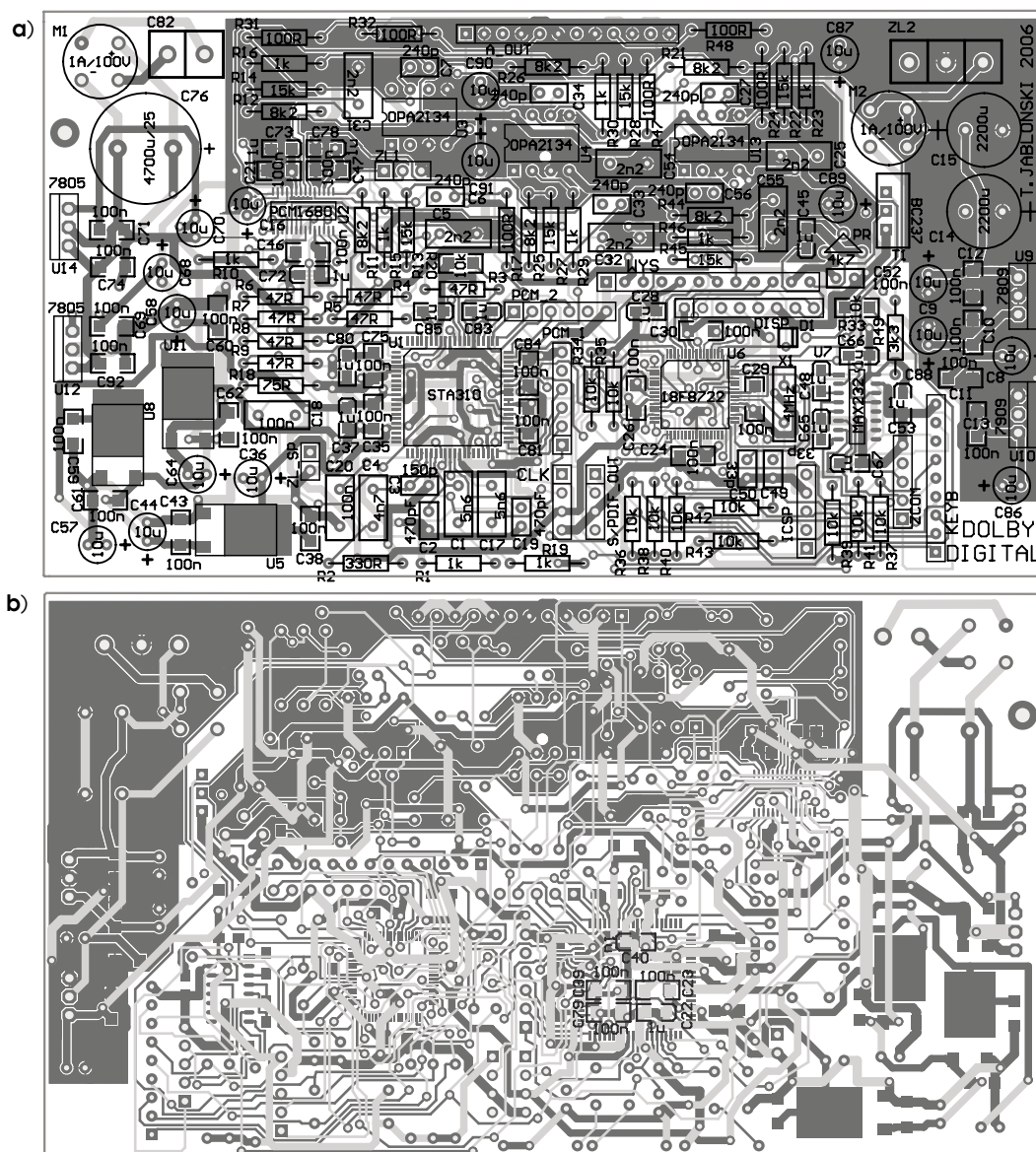
W programie sterującym dekodera jest wykorzystywane automatyczne wykrywanie systemów Dolby Digital, DTS i nie kodowanych danych PCM z płyt Compact Disc.

Montaż i uruchomienie

Dekoder został zmontowany na dwustronnej płytce drukowanej pokazanej na **rys. 6**.

W pierwszej kolejności trzeba przylutować elementy do montażu powierzchniowego. Jeśli nie jest wykorzystywany wyświetlacz sterowany przez łącze RS232, to układ konwertera TTL/RS232 (U7) jest zbędny. Sterownik jest przystosowany do podłączenia klasycznego wyświetlacza alfanumerycznego przez łącze WYS. Potencjometr PR reguluje kontrast wyświetlacza, a układ z T1 i R49 steruje podświetlaniem. Przez łącze DISP można alternatywnie sterować graficznym wyświetlaczem od telefonu Nokia 3310. Gdy układ jest zmontowany, to przez łącze ICSP wgrujemy program mikrokontrolera. Ja do programowania używałem programatora PikProg+ firmy Eltec lub ICD2 firmy Microchip.

Dekoder jest zasilany napięciem przemiennym 8...10 V przez złącze ZL1. W trakcie dekodowania układ pobiera dość spory prąd rzędu 500...800 mA. Dlatego zaleca się by to napięcie nie było zbyt duże, bo na stabilizatorze U14 zaczyna wydzielać się duża ilość ciepła. Stabilizator U14 musi być przykręcony do radiatora z blachy aluminiowej o powierzchni co najmniej 12...15 cm². Wzmacniacze operacyjne zasilają się poda-



Rys. 6. Widok płytki drukowanej dekodera: a) strona górna, b) strona dolna

jąc symetryczne napięcie przemiennie 2x10...12 V na złącze ZL2. Dekoder jest taktowany sygnałem zegarowym o częstotliwości 25 MHz i amplitudzie 2,7...3,3 V dołączonym do pinu 2 złącza CLK.

Po włączeniu zasilania na wyświetlaczu powinien się pojawić tekst powitalny, następnie w górnej linii napis „AUTO MODE”, a w dolnej „MASTER VOLUME – 25db”. Po kilku sekundach dekodek automatycznie

przełączy się w tryb „Compact Disc”. Do złącza ZL_SP podłączamy teraz sygnał S/PDIF z odtwarzacza DVD. Dekoder powinien automatycznie wykryć dekodowany sygnał i wyświetlić tryb pracy na przykład:

Dolby Digital
Auto Mode PLAY
MASTER VOLUME –32dB

Na wyjściach złącza A_OUT można obserwować przy pomocy oscyloskopu analogowe sygnały audio każ-

dego z kanałów. Przyciskając klawisze połączone do SW6 i SW7 reguluje się poziom sygnału wyjściowego. W trakcie regulacji zmienia się wyświetlana na ekranie wartość tłumienia.

Następnym krokiem uruchamiania dekodera będzie połączenie wyjścia A_OUT z wejściem 6-kanałowego wzmacniacza mocy. W modelu został wykorzystany 6-kanałowy wzmacniacz mocy opisywany w EP3/07 (AVT-975). Wzmacniacz został skonfigurowany do pracy bez własnego regulatora poziomu głośności (układu TDA7448). Jeżeli po podłączeniu głośników usłyszymy czysty dźwięk bez szumów i zniekształceń, to znaczy że dekodek pracuje poprawnie.

W momencie pisania tego artykułu dekodek potrafił wykryć i przełączyć się automatycznie na dekodowany sygnał. Możliwa była regulacja głośności, balansu w każdym z kanałów i opóźnień (rys. 5). Oprogramowanie sterujące będzie dalej rozwijane. Planowane jest dodanie sterowania pilotem RC5, dodanie funkcji Post Processing. W obecnej wersji układ potrafi wykryć system Dolby Prologic i automatycznie włączyć dekodek Pro Logic. W trakcie prac nad dekodekierem wymuszałem

pracę dekodera Pro Logic przy odtwarzaniu płyt z nagraniami stereo. Efekt był ciekawy, ale tylko dla niektórych nagrań.

W przyszłości zostaną uaktywnione procesory efektów SRS, VMAX i Circle Surround, potrafiące „uprzestrennić” nagrania stereofoniczne przy odtwarzaniu przez 2 standardowe kanały stereo.

Tomasz Jabłoński, EP
tomasz.jablonski@ep.com.pl

Tab. 6. Fragment rejestru INT

Bit	Nazwa	Opis
11	FIO	Przepiętni FIFO wejściowego
12	RST	STA310 wykrył zmianę formatu danych wejściowych audio. Sterownik musi wykonać zerowanie programowe i nową inicjalizację dekodera, zależnie od wykrytego formatu kodowania określonego w rejestrach DECODESEL i STREAMSEL
13	LCK	Wykryto przerwę w strumieniu danych odbieranych przez interfejs S/PDIF Sterownik musi wykonać zerowanie programowe i ponowną inicjalizację dekodera, zależnie od formatu kodowania określonego w rejestrach DECODESEL i STREAMSEL
14	USD	Rezerwa
15	TBD	Rezerwa