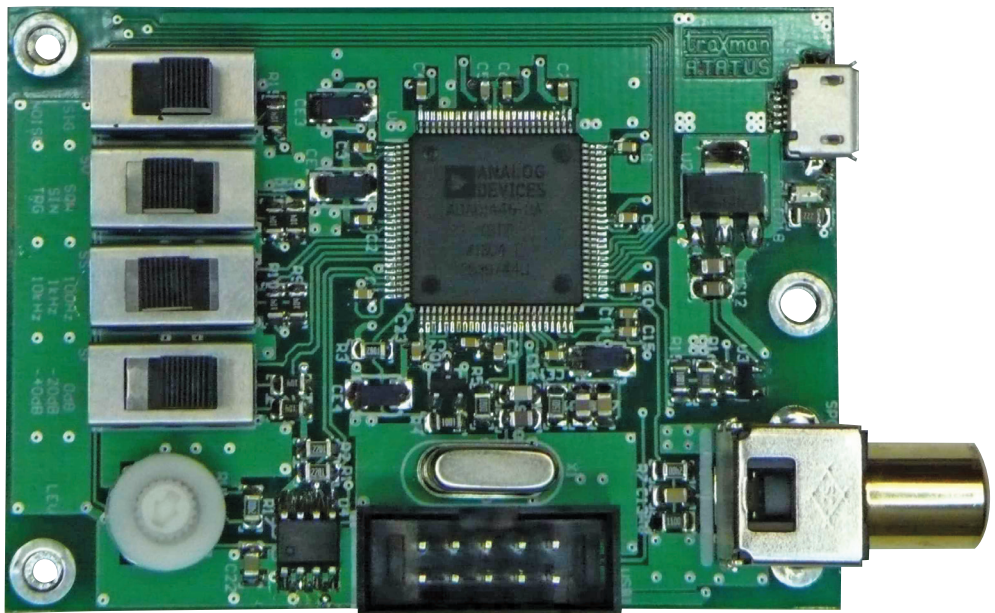


SPDIF_Gen – generator/ tester sygnału cyfrowego S/PDIF



Od ostatniego opisu generatora sygnału cyfrowego audio w *Elektronice Praktycznej* minęło niemal piętnaście lat (EP 12/99 „Generator testowy sygnału S/PDIF”, T. Giesberts). Czyżby w tym czasie nie było potrzeby uruchomienia przetwornika C/A, przetestowania odbiornika S/PDIF lub tematyka cyfrowego audio nie znajdowała fanów lub co gorsze – działali oni wyłącznie w oparciu o tzw. złote ucho? Najwyższy czas nadrobić zaległości.

Rekomendacje: urządzenie powstało w celu ułatwienia uruchamiania bądź naprawy przetworników C/A, zastępując wysłużony komplet odtwarzacza CD i płytę testową.



Konstrukcja nie ma ambicji doścignięcia urządzeń profesjonalnych typu *Digirator DR2*, ale przynajmniej zostawi w kieszeni nieco gotówki na ciekawsze eksperymenty. Układ modelowy generuje przebiegi

**W ofercie AVT*
AVT-5451 A**

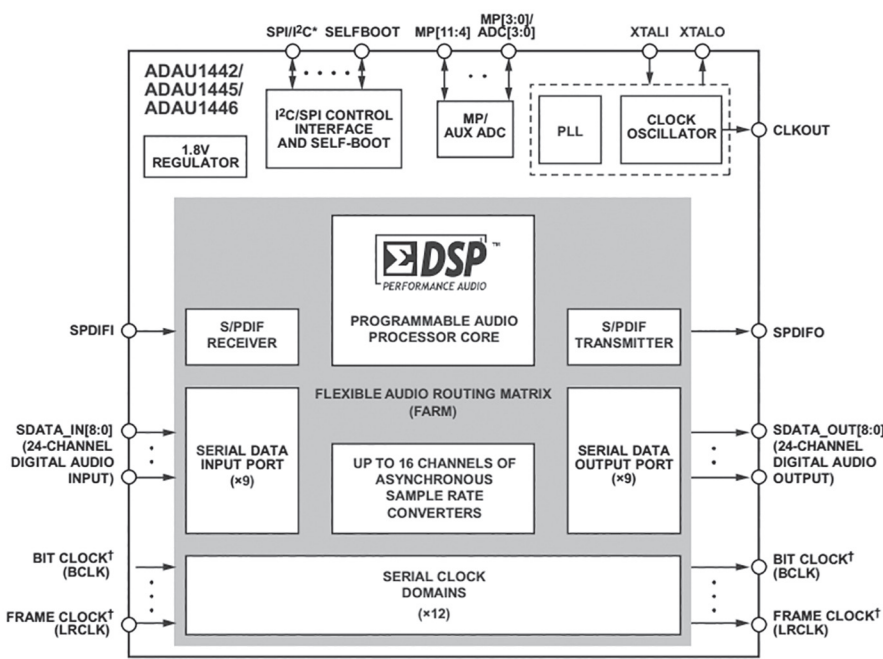
- Podstawowe informacje:**
- Zasilanie z gniazda USB (5 V/250 mA).
 - Dwustronna płytką drukowana.
 - Sygnał wyjściowy S/PDIF w standardzie coaxial.
 - Generowanie sygnału audio lub szumu.
 - Sygnał prostokątny, sinusoidalny, trójkątny.
 - Częstotliwość sygnału wybierana skokowo: 100 Hz, 1 kHz, 10 kHz.
 - Tłumienie zmieniane skokowo: 0 dB, -20 dB, -40 dB lub płynnie, za pomocą potencjometru.

Dodatkowe materiały na FTP:
<ftp://ep.com.pl>, user: 31063, pass: 8iyw2174

• wzory płytek PCB
Projekty pokrewne na FTP:
(wymienione artykuły są w całości dostępne na FTP)

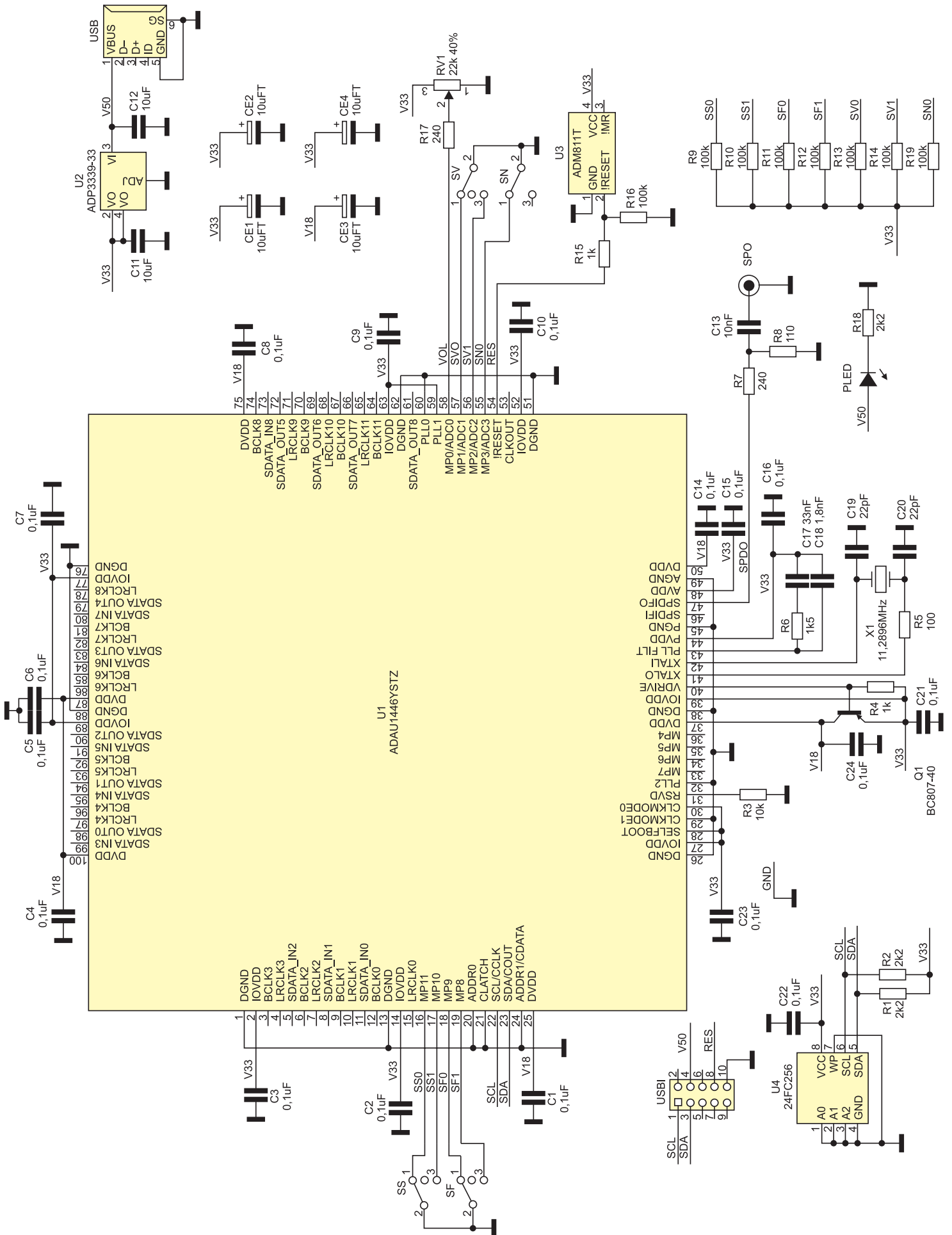
- AVT-5299 Karta dźwiękowa z przetwornikiem PCM2902 (EP 7/2011)
- AVT-5298 Konwerter USB na S/PDIF (EP 7/2011)
- AVT-566 Procesor audio z wejściem S/PDIF (EP 3/2004)
- AVT-514R Regenerator optyczny S/PDIF (EP 6/2003)
- AVT-574 Przełącznik optyczny SPDIF (EP 5/2004)
- Generator testowy sygnału S/PDIF (EP 12/1999)

* Uwaga:
Zestawy AVT mogą występować w następujących wersjach:
AVT xxxx UK to zaprogramowany układ. Tylko i wyłącznie. Bez elementów dodatkowych.
AVT xxxx A płytką drukowaną PCB (lub płytki drukowane, jeśli w opisie wyraźnie zaznaczono), bez elementów dodatkowych.
AVT xxxx A+ płytką drukowaną i zaprogramowany układ (czyli połączenie wersji A i wersji UK) bez elementów dodatkowych.
AVT xxxx B płytką drukowaną (lub płytki) oraz komplet elementów wymieniony w załączniku pdf
AVT xxxx C to nic innego jak zmontowany zestaw B, czyli elementy wmontowane w PCB. Należy mieć na uwadze, że o ile nie zaznaczono wyraźnie w opisie, zestaw ten nie ma obudowy ani elementów dodatkowych, które nie zostały wymienione w załączniku pdf
AVT xxxx CD oprogramowanie (nieczęsto spotykana wersja, lecz jeśli występuje, to niezbędne oprogramowanie można ściągnąć, klikając w link umieszczony w opisie kitu)
Nie każdy zestaw AVT występuje we wszystkich wersjach! Każda wersja ma załączony ten sam plik pdf! Podczas składania zamówienia upewnij się, którą wersję zamawiasz! (UK, A, A+, B lub C). <http://sklep.avt.pl>

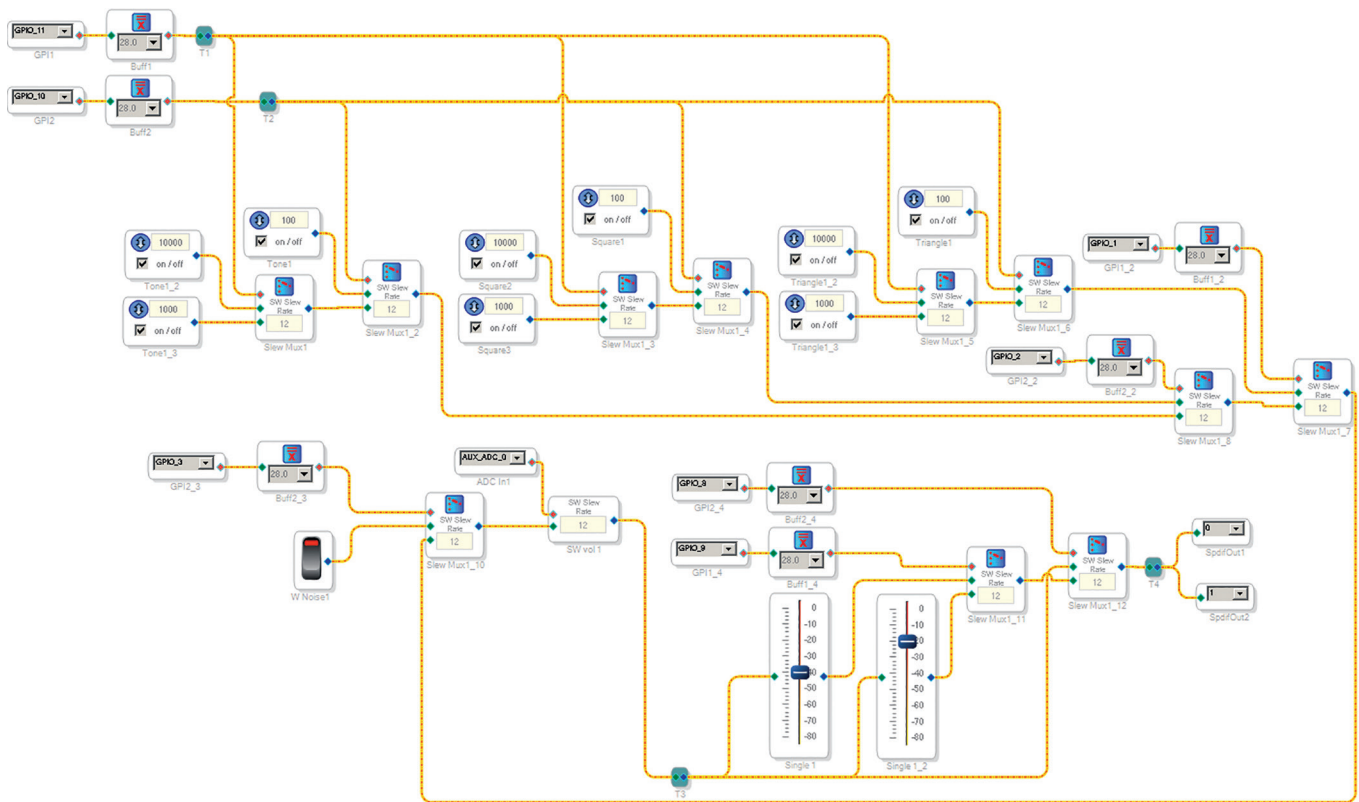


*SPI/PC = THE ADDR0, CLATCH, SCL/CCLK, SDA/COUT, AND ADDR1/CDATA PINS. THERE ARE 12 BIT CLOCKS (BCLK[11:0]) AND 12 FRAME CLOCKS (LRCLK[11:0]) IN TOTAL. OF THE 12 CLOCKS, SIX ARE ASSIGNABLE, THREE MUST BE OUTPUTS, AND THREE MUST BE INPUTS.

Rysunek 1. Schemat blokowy ADAU144x (na podstawie dokumentacji producenta)



Rysunek 2. Schemat ideowy generatora S/PDIF



Rysunek 3. Aplikacja generatora S/PDIF

Wykaz elementów

- Rezystory:** (SMD 0805)
 R1, R2, R18: 2,2 kΩ
 R3: 10 kΩ
 R4, R15: 1 kΩ
 R5: 100 Ω
 R6: 1,5 kΩ/1%
 R7, R17: 240 Ω/1%
 R8: 110 Ω/1%
 R9...R14, R16, R19: 100 kΩ
 RV1: 22 kΩ potencjometr CA6V z pokrętkiem
- Kondensatory:** (SMD 0805)
 C1...C10, C14...C16, C21...C24: 100 nF (SMD 0603)
 C11, C12: 10 μF
 C13: 10 nF
 C17: 33 nF
 C18: 1,8 nF
 C19, C20: 22 pF
 C22: 100 nF
 CE1...CE4: 10 μF (SMD „A”)
- Półprzewodniki:**
 PLED: dioda LED (SMD)
 Q1: BC807-40 (SOT-23)
 U1: ADAU1446YSTZ (TQFP100)
 U2: ADP3339-33 (SOT-223)
 U3: ADM811T (SOT-143)
 U4: 24FC256 (SO8)
- Inne:**
 SF, SS, SV: 5MS3S102 (przełącznik suwakowy, 3-pozycyjny)
 SN: 5MS1S102 (przełącznik suwakowy 2-pozycyjny)
 SPO: gniazdo RCA do druku
 USB: gniazdo „USB micro” do druku
 USB1: złącze IDC10 proste
 X1: 11,2896 MHz (kwarc, HC49S, niski)

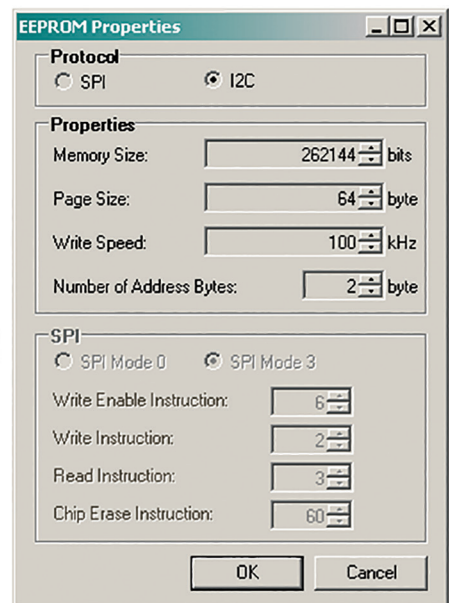
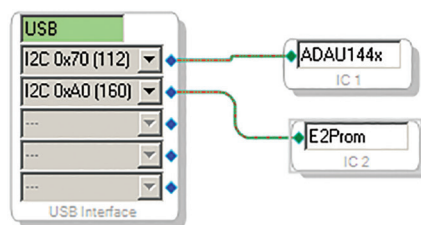
funkcyjne (sinusoidalny, trójkątny, prostokątny) przy częstotliwości próbkowania zgodnej z CD (44,1 kHz) i ma możliwość ustawienia trzech tonów testowych 100 Hz/1 kHz/10 kHz oraz sygnał szumu białego. Generator ma możliwość płynnej i skokowej (0 dB/-20 dB/-40 dB) regulacji poziomu wyjściowego. Wyjście sygnału cyfrowego zrealizowano w standardzie współosiowym.

Generator jest zasilany napięciem stałym 5 V np. z zasilacza telefonu komórkowego. Ze względu na niewielkie wymiary

jest możliwa praca „w terenie” przy zasilaniu urządzenia z czterech ogniw LR6.

Budowa

W związku z pewnym postępowaniem technicznym od czasów EP12/99, generacja przebiegów testowych została powierzona procesorowi DSP. Zastosowano układ z rodziny SigmaDSP ze względów opisanych we wcześniejszych artykułach (min. łatwości tworzenia aplikacji, co jest niewątpliwą zaletą dla osób nieumiejących programować). Spośród rodzin układów



Rysunek 4. Konfigurowanie pamięci EEPROM

Read All Registers From DSP

Serial I/O | Routing Matrix | SPDIF / ASRC Modes | Serial Input Flex Modes | Serial Output Flex Modes | DSP Register Modes 1 | DSP Register Modes 2 | DSP Register Modes 3 | Clock Pad Multiplexer

Register	Addr	Reserved [15:3]	Output Mode [2]	Group 2 enable [1]	Group 1 enable [0]
Enable S/PDIF to I2S Output	57921	b 00000000000000	I2S	Off	Off

Register	Addr	Reserved [15:12]	BCLK1 [11]	BCLK10 [10]	BCLK9 [9]	BCLK8 [8]	BCLK7 [7]	BCLK6 [6]	BCLK5 [5]	BCLK4 [4]	BCLK3 [3]	BCLK2 [2]	BCLK1 [1]	BCLK0 [0]
Bit Clock Pad Strength	57927	b 0000	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low

Register	Addr	Reserved [15:12]	LRCLK1 [11]	LRCLK10 [10]	LRCLK9 [9]	LRCLK8 [8]	LRCLK7 [7]	LRCLK6 [6]	LRCLK5 [5]	LRCLK4 [4]	LRCLK3 [3]	LRCLK2 [2]	LRCLK1 [1]	LRCLK0 [0]
LR Clock Pad Strength	57928	b 0000	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low

Register	Addr	Reserved [15:12]	MP11 [11]	MP10 [10]	MP9 [9]	MP8 [8]	MP7 [7]	MP6 [6]	MP5 [5]	MP4 [4]	MP3 [3]	MP2 [2]	MP1 [1]	MP0 [0]
MP Pin Pad Strength	57929	b 0000	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low

Register	Addr	Reserved [15:12]	SDATA OUT8 [8]	SDATA OUT7 [7]	SDATA OUT6 [6]	SDATA OUT5 [5]	SDATA OUT4 [4]	SDATA OUT3 [3]	SDATA OUT2 [2]	SDATA OUT1 [1]	SDATA OUT0 [0]
SDATA Out Pad Strength	57930	b 00000000	Low	Low	Low	Low	Low	Low	Low	Low	Low

Register	Addr	Reserved [15:7]	SCLK CCLK [6]	CLKATC H [5]	ADDR1 CDATA [4]	ADDR0 [3]	SDA COUT [2]	SPDIF0 [1]	CLKOUT [0]
Other Pad Strength	57932	b 000000000	Low	Low	Low	Low	Low	High	Low

Register	Addr	Reserved [15:3]	MCLK to Aux AD-Cs [8]	MCLK to S/PDIF TX [7]	MCLK to S/PDIF RX [6]	MCLK to DSP Core [5]	MCLK to ASRC2 [4]	MCLK to ASRC1 [3]	MCLK to Serial Out [2]	MCLK to Serial In [1]	FARM [0]
Master Clk Enable	57984	b 00000000	Enabled	Enabled	Disabled	Enabled	Disabled	Disabled	Enabled	Disabled	Disabled

Rysunek 5. Konfigurowanie taktowania DSP

Read All Registers From DSP

Serial I/O | Routing Matrix | SPDIF / ASRC Modes | Serial Input Flex Modes | Serial Output Flex Modes | DSP Register Modes 1 | DSP Register Modes 2 | DSP Register Modes 3 | Clock Pad Multiplexer

Register	Addr	User Data [15]	Channel Status [14]	Block Start [13]	Virtual LRCLK [12]	Reserved [11:8]	Validity Bits [7:6]	Reserved [5:0]
S/PDIF Receiver - Read Auxiliary Outputs	57536	b 0	b 0	b 0	b 0	b 0000	b 00	b 000000

Register	Addr	Reserved [15:1]	SPDIF TX [0]
S/PDIF Transmitter on/off switch	57537	b 0000000000000000	On

Register	Addr	Reserved [15:3]	Word Length Setting [2:0]
S/PDIF Word length control	57543	b 0000000000000000	16 bit

Register	Addr	(Read Only) Value [15:0]
S/PDIF Read channel status 0	57538	b 0000000000000000
S/PDIF Read channel status 1	57539	b 0000000000000000
S/PDIF Read channel status 2	57540	b 0000000000000000
S/PDIF Read channel status 3	57541	b 0000000000000000
S/PDIF Read channel status 4	57542	b 0000000000000000

Register	Addr	Rsvd [15:12]	(Read Only) ASRC3 Lock [11]	(Read Only) ASRC2 Lock [10]	(Read Only) ASRC1 Lock [9]	(Read Only) ASRC0 Lock [8]	Rsvd [7:4]	ASRC3 Mute [3]	ASRC2 Mute [2]	ASRC1 Mute [1]	ASRC0 Mute [0]
ASRC 0-3 Mute	57601	b 0000	Locked	Locked	Locked	Locked	b 0000	Unmuted	Unmuted	Unmuted	Unmuted

Register	Addr	Rsvd [15:12]	(Read Only) ASRC7 Lock [11]	(Read Only) ASRC6 Lock [10]	(Read Only) ASRC5 Lock [9]	(Read Only) ASRC4 Lock [8]	Rsvd [7:4]	ASRC7 Mute [3]	ASRC6 Mute [2]	ASRC5 Mute [1]	ASRC4 Mute [0]
ASRC 4-7 Mute	57685	b 0000	No Lock	No Lock	No Lock	No Lock	b 0000	Unmuted	Unmuted	Unmuted	Unmuted

Register	Addr	Reserved [15:2]	Set Enable Mode [1:0]
Auxiliary Outputs - Set Enable Mode	57544	b 0000000000000000	Always on

Register	Addr	Reserved [15:1]	(Read Only) S/PDIF Input Lock Bit [0]
S/PDIF Input Lock Bit	57545	b 0000000000000000	No valid input stream

Register	Addr	Reserved [15:1]	Hot-Enable bit [0]
S/PDIF Set Hot-Enable	57546	b 0000000000000000	Inactive

Register	Addr	Reserved [15:1]	(Read Only) Read Enable Aux Out [0]
S/PDIF Read Enable Aux Out	57547	b 0000000000000000	Enabled

Rysunek 6. Konfigurowanie bloku S/PDIF

Read All Registers From DSP

Serial I/O | Routing Matrix | SPDIF / ASRC Modes | Serial Input Flex Modes | Serial Output Flex Modes | DSP Register Modes 1 | DSP Register Modes 2 | DSP Register Modes 3 | Clock Pad Multiplexer

Register	Addr	Reserved [15:6]	Value [5:0]
Dejitter Window	57893	b 000000000	Lower End Window 5

Register	Addr	Reserved [15:8]	ADC0 [7:6]	ADC1 [5:4]	ADC2 [3:2]	ADC3 [1:0]
ADC Filter Modes	57892	b 000000000	Filtered with 2-bit hysteresis	Filter bypass	Filter bypass	Filter bypass

Register	Addr	Reserved [15:1]	(Read Only) CRC Error Sticky [0]
CRC Error Sticky	57893	b 000000000000000	Disabled

Register	Addr	Reserved [15:1]	(Read Only) Watchdog Er Sticky [0]
Watchdog Error Sticky	57894	b 000000000000000	Disabled

Register	Addr	Reserved [15:2]	CRC Mute [1]	Watchdog Mute [0]
CRC - Watchdog Mute	57895	b 000000000000000	Disabled	Disabled

Register	Addr	Reserved [15:1]	Core Run Bit [0]
Core Run Bit	57896	b 000000000000000	On

Register	Addr	(Read Only) Program Peak Count [15:0]
Program Count	57897	b 0000001110111101

Rysunek 7. Konfigurowanie bloku przetwornika A/C

Read All Registers From DSP

Serial I/O | Routing Matrix | SPDIF / ASRC Modes | Serial Input Flex Modes | Serial Output Flex Modes | DSP Register Modes 1 | DSP Register Modes 2 | DSP Register Modes 3 | Clock Pad Multiplexer

Register	Addr	Value [15:0]
CRC Ideal 1	57856	b 1011110010110101
CRC Ideal 2	57857	b 0101100110111011

Register	Addr	Reserved [15:1]	Status [0]
Watchdog Enable	57872	b 000000000000000	Disabled

Register	Addr	Reserved [15:1]	CRC Enable [0]
CRC Enable	57858	b 000000000000000	Disabled

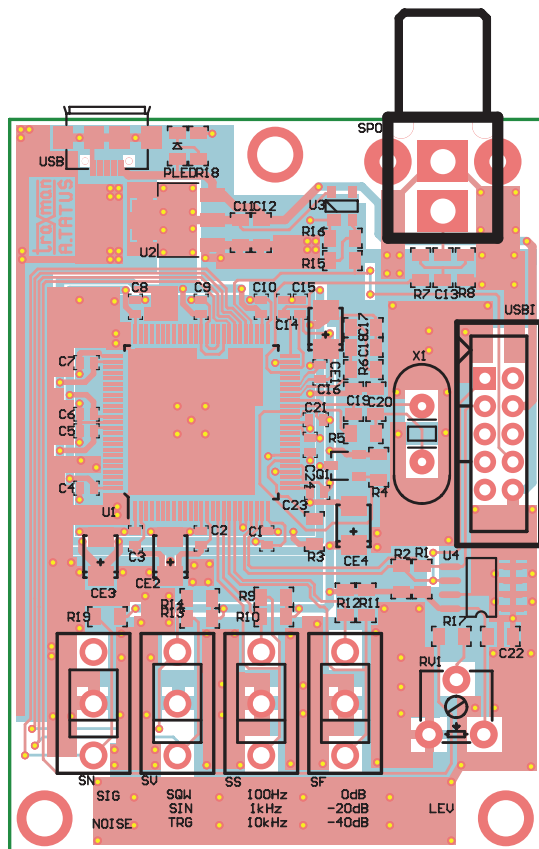
Register	Addr	Value [15:0]
Watchdog Value 1	57873	b 0000000000001110
Watchdog Value 2	57874	b 0000000000000000

Register	Addr	Reserved [15:1]	Status [0]
DSP Ignore Core	57859	b 000000000000000	DSP core operates normally

Register	Addr	Reserved [15:5]	Value [4:0]
Start Pulse Select	57888	b 000000000000000	Internally generated 48 kHz

Register	Addr	Reserved [15:4]	MP Value [3:0]
MP0	57880	b 000000000000000	Input Aux ADC
MP1	57881	b 000000000000000	Input with debounce 5ms
MP2	57882	b 000000000000000	Input with debounce 5ms
MP3	57883	b 000000000000000	Input with debounce 5ms
MP4	57884	b 000000000000000	Input without debounce
MP5	57885	b 000000000000000	Input without debounce
MP6	57886	b 000000000000000	Input without debounce
MP7	57887	b 000000000000000	Input without debounce
MP8	57888	b 000000000000000	Input with debounce 5ms
MP9	57889	b 000000000000000	Input with debounce 5ms
MP10	57870	b 000000000000000	Input with debounce 5ms
MP11	57871	b 000000000000000	Input with debounce 5ms

Rysunek 8. Konfigurowanie wyprowadzeń GPIO



Rysunek 9. Schemat montażowy generatora S/PDIF

ADAU1701, ADAU144x, ADAU145x wybrałem ADAU1446. Schemat blokowy procesora DSP z grupy ADAU144x zaprezentowano na **rysunku 1**. Jego wybór był podyktowany przede wszystkim tym, że ten procesor ma wbudowane bloki funkcjonalne niezbędne do realizacji generatora, a w tym najważniejszy, czyli wbudowany nadajnik w standardzie S/PDIF, co zwalnia konstruktora z konieczności stosowania kolejnego układu np. WM8804. Jest to też najtańszy układ z rodziny ADAU144x, gdyż jest pozbawiony bloków konwersji częstotliwości próbkowania (ASRC), które w układzie generatora nie są wykorzystywane. Wbudowane, konfigurowalne porty GPIO zwalniają z konieczności realizacji interfejsu użytkownika w oparciu o procesor jednocukłowy, co dodatkowo upraszcza generator.

Schemat ideowy układu generatora S/PDIF pokazano na **rysunku 2**. Procesorowi DSP (U1) towarzyszą układ genero-

wania sygnału zerowania U3 (ADM811T) i zewnętrzna pamięć EEPROM z interfejsem I²C U4 (24FC256).

Płytkę generatora jest zasilana z gniazda micro USB (5 V/250 mA) poprzez stabilizator LDO U2 (ADP3339-3.3) dostarczający napięcie 3,3 V dla DSP. Tranzystor Q1 jest elementem regulatora stabilizatora napięcia 1,8 V zasilającego rdzeń DSP. Ze względu na wysoką częstotliwość pracy rdzenia DSP dla poprawnej pracy układ wymaga sporej liczby kondensatorów odsprężających poszczególne wyprowadzenia zasilania.

Dioda PLED sygnalizuje załączenie napięcia zasilającego. Układ jest taktowany za pomocą rezonatora kwarcowego X1 (11,2896 MHz – dla częstotliwości próbkowania $f_s=44,1$ kHz; z mnożnikiem $f_s \times 256$). Sygnał S/PDIF poprzez obwód dopasowania złożony z rezystorów R7 i R8 oraz kondensatora C13 jest doprowadzony do gniazda RCA-SPO. Układ uzupełniają

Oprogramowanie

Aplikację generatora napisano, a raczej narysowano, w środowisku SigmaStudio. Schemat aplikacji zamieszczono na **rysunku 3**.

Układ zawiera trzy bloki generatorów sinusoidy (*Tone1*), prostokąta (*Square*), trójkąta (*Triangle1*). Każdy z nich składa się z trzech generatorów częstotliwości podstawowych 100 Hz/1 kHz/10 kHz, przełączanych multiplexerami sterowanymi pinami GPIO10 i GPIO11 (3-po-

zycyjny przełącznik SS). Kolejne dwa multiplexery sterowane pinami GPIO1 i GPIO2 umożliwiają wybór kształtu przebiegu (3-pozycyjny przełącznik SV). Multiplexer sterowany za pomocą GPIO3 umożliwia wybór pomiędzy generowaniem szumu, a przebiegiem funkcyjnym (dwupozycyjny przełącznik SN). Stąd sygnał poprzez regulator poziomu sterowany przez przetwornik A/C (potencjometr RV1) AUX_ADC0/GPIO0 trafia na blok tłumika 20 dB/40 dB. Tłumienie sygnału jest ustawiane multiplexerem poprzez GPIO8 i GPIO9 (3-pozycyjny przełącznik SF). Sygnał wyjściowy jest doprowadzony do interfejsu układu S/PDIF (kanał 0/1).

Do uruchomienia aplikacji generatora jest konieczne skonfigurowanie sprzętowe ADAU1446 (zakładka *Hardware Configuration\Config*). W pierwszej kolejności należy skonfigurować system i pamięć aplikacji (24LC256) zgodnie z **rysunkiem 4**. Następnie należy skonfigurować układ taktowania DSP, jak na **rysunku 5** (zakładka *Hardware Configuration\IC1 ADAU144x Register Control*). Konfiguracji wymaga również blok S/PDIF, zgodnie z **rysunkiem 6**. Ostatnimi czynnościami jest skonfigurowanie przetwornika A/C i trybu pracy GPIO, co pokazano na **rysunku 7** i **rysunku 8**.

Jeżeli wszystkie konfiguracje zostały ustawione prawidłowo, można zaprogramować pamięć EEPROM za pomocą USBi (zakładka *Hardware Configuration\IC2-WinE2PromLoader*).

Montaż

Schemat montażowy generatora pokazano na **rysunku 9**. Zmontowany go na dwustronnej płytce drukowanej. Warto sprawdzić jakość montażu i przetestować płytkę pod kątem zwarcia, gdyż jakiegokolwiek błędów wykonawcze i montażowe mogą uszkodzić dosyć drogi procesor DSP.

Po zmontowaniu i przetestowaniu urządzenia, można zabrać się za jego wykorzystanie praktyczne. Przyrząd jest użyteczny, nietuzinkowy i na pewno wielokrotnie udowodni swoją przydatność w warsztacie elektronika, zwłaszcza zajmującego się nowoczesnymi urządzeniami audio.

Adam Tatuś, EP

REKLAMA