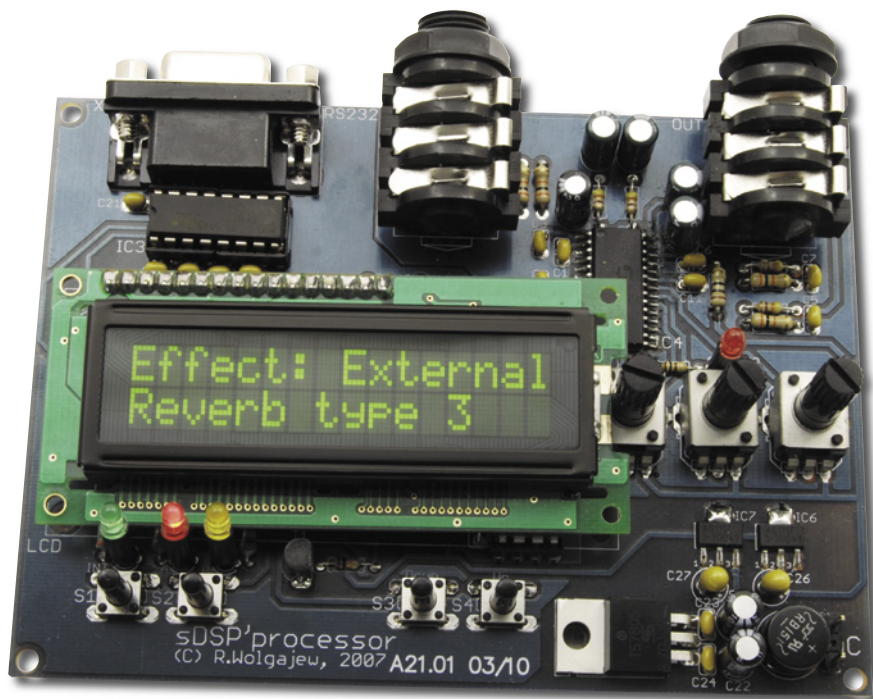


sDSP'processor

Kompletny system DSP zawarła w jednym układzie scalonym FV-1 firma SPIN Semiconductor. Układ ten ma pamięć efektów audio, które można tworzyć przy użyciu dedykowanego asemblera. Przedstawiamy projekt płyty uruchomieniowej z tym układem.

Rekomendacje:

projekt ze względu na zastosowanie zintegrowanego systemu DSP, przeznaczony jest głównie dla miłośników audio lubiących eksperymentować, jak również dla fanów procesorów sygnałowych.



Powstanie i rozwój cyfrowego przetwarzania sygnałów, w skrócie DSP (*Digital Signal Processing*), przyczynił się do ogromnego zwiększenia możliwości, jakości oraz funkcjonalności urządzeń audio. Okazało się bowiem, iż możliwości tradycyjnego przetwarzania sygnału są ograniczone zarówno jeżeli chodzi o sferę układową, jak i jakościową, nie zapominając oczywiście o wszechobecnym rachunku ekonomicznym.

Z pomocą przyszły procesory sygnałowe DSP, przy użyciu których wykonanie tych samych czynności okazało się wydajniejsze, a czasami w ogóle możliwe. Dziedzina ta jest jednak dość hermetyczna, a głównym tego powodem wydaje się być złożoność materii, którą się zajmuje i niezbędna wysoka specjalizacja oraz wymagany poziom wiedzy, wszak do obróbki sygnału wymagana jest solidna podstawa matematyczna poparta sporym doświadczeniem w programowaniu i przetwarzaniu sygnałów. Typowy, najprostszy system DSP musi zawierać przetwornik analogowo-cyfrowy (ADC), wydajny system mikroprocesorowy ze specjalizowanym procesorem sygnałowym (częstokrotć o ograniczonej liczbie specjalizowanych instrukcji, typu RISC), dość sporą pamięć RAM oraz wyjściowy przetwornik cyfrowo-analogowy (DAC). Cała sztuka polega na tym aby przetworzony na postać cyfrową sygnał analogowy poddać skomplikowanej obróbce matematycznej stosując wiedzę z zakresu DSP, a następnie przetworzyć na wyjściowy sygnał analogowy, zachowując przy tym jego parametry jakościowe. To co w teorii wydawałoby się proste, w praktyce wymaga ogromnej wiedzy, wszak nie należy zapominać o takich aspektach związanych z tego typu problemem jak:

- wzajemne interferencje toru analogowego i cyfrowego,
- emisja zakłóceń RFI,
- separacja i filtracja napięć zasilania,
- separacja mas i odpowiedni, zazwyczaj wielowarstwowy, projekt płytki drukowanej,

AVT-5159

W ofercie AVT:
AVT-5159A – płytka drukowana

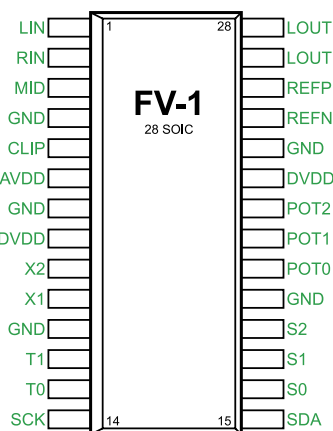
PODSTAWOWE PARAMETRY

- Napięcie zasilania: 9 VDC
- Maksymalny prąd obciążenia: 200 mA
- Impedancja wejściowa: 80...120 kΩ
- Impedancja wyjściowa: 50...200 Ω
- Maksymalny poziom sygnału wejściowego: 3 Vp-p
- Maksymalny poziom sygnału wyjściowego: 3 Vp-p
- Zniekształcenia harmoniczne: 0,03%
- Górna granica pasma przenoszenia*: 15,5 kHz
- Odstęp sygnału od szumu S/N: 93 dB

*Górna granica pasma przenoszenia zależy od częstotliwości rezonatora kwarcowego układu procesora FV-1. Dla $f_s=32768$ Hz wynosi ona 15,5 kHz, dla innych częstotliwości rezonatorów granicę tę wyznaczamy ze wzoru $f_{max}=f_s/2$. Zwiększenie częstotliwości rezonatora powoduje proporcjonalne zmniejszenie maksymalnego dostępnego opóźnienia sygnału.

PROJEKTY POKREWNE wymienione artykuły są w całości dostępne na CD

Tytuł artykułu	Nr EP/EdW	Kit
Cyfrowy procesor dźwięku	EP 9/2002	AVT-5082
DsPICOrder	EP 6/2006	AVT-931
Procesor audio z wejściem S/PDIF	EP 3-4/2004	AVT-566
Stereofoniczny kodek z interfejsem SPDIF	EP 9/2008	AVT-5148
Procesor audio na układzie TDA1524A	EP 2/1995	AVT-196
Procesor dźwięku z układem LM1036	EP 8/1996	AVT-244



Rys. 1. Rozkład wyprowadzeń układu FV-1

- specyfikacja procesorów DSP w odniesieniu do wymagań techniki audio,
- ekranowanie.

Wychodząc naprzeciw tym wszystkim wymaganiom oraz posiadając spore doświadczenie w dziedzinie DSP, amerykańska firma SPIN Semiconductor opracowała i wdrożyła do produkcji kompletny, rozbudowany, a zarazem bardzo elastyczny system DSP do zastosowań audio w postaci jednego układu scalonego oznaczonego symbolem FV-1. Pomimo swojej złożonej, cyfrowej architektury, może być używany jak każdy inny element analogowy, gdyż wszystkie wymagania stawiane tego typu systemom zostały zrealizowane w jego wewnętrznej strukturze. Układ FV-1 to w zasadzie kompletny system mikroprocesorowy do przetwarzania sygnału z możliwością programowania przy użyciu specjalnie zaimplementowanego asemblera. Oto wybrane właściwości układu:

- zintegrowane 24-bitowe przetworniki ADC i DAC,
- 8 wewnętrznych programów (ROM) i 8 zewnętrznych do umieszczenia w pamięci EEPROM,
- wyprowadzenia wyboru programu przeznaczone do współpracy z enkodermem,
- trzy 9-bitowe wejścia potencjometryczne przeznaczone do regulacji parametrów w czasie rzeczywistym,
- wydajność 6 MIPS przy częstotliwości rezonatora kwarcowego $F_s=48$ kHz,
- 128 instrukcji programu na 1 próbkę sygnału (w tym specjalizowane typu EXP i LOG),
- 32 kB wbudowanej pamięci RAM (max. Opóźnienie 1 s przy $F_s=32,768$ kHz),
- zintegrowany układ zerowania po włączeniu zasilania,
- zintegrowany interfejs I²C,
- zintegrowane 4 generatory LFO (2 typu sin/cos i 2 typu ramp),
- napięcie zasilania 3,3 V.

Tak jak wspomniano, procesor

Tab. 1. Lista predefiniowanych efektów ROM

Nr prog.	Opis	Funkcja wejścia Pot0	Funkcja wejścia Pot1	Funkcja wejścia Pot2
0	Chorus-reverb	Udział efektu Reverb	Poziom efektu Chorus	Udział efektu Chorus
1	Flange-reverb	Udział efektu Reverb	Poziom efektu Flange	Udział efektu Flange
2	Tremolo-reverb	Udział efektu Reverb	Poziom efektu Tremolo	Udział efektu Tremolo
3	Pitch Shift	Rozstrojenie (4 półtony)	–	–
4	Pitch-echo	Poziom rozstrojenia	Czas opóźnienia dla echa	Udział efektu Echo
5	Test	–	–	–
6	Reverb 1	Regulacja czasu dla efektu Reverb	Filtr HF	Filtr LF
7	Reverb 2	Regulacja czasu dla efektu Reverb	Filtr HF	Filtr LF

Tab. 2. Wybrane parametry układu FV-1 (dla $F_s=32,768$ kHz i $A_{VDD} = D_{VDD}=3,3$ V)

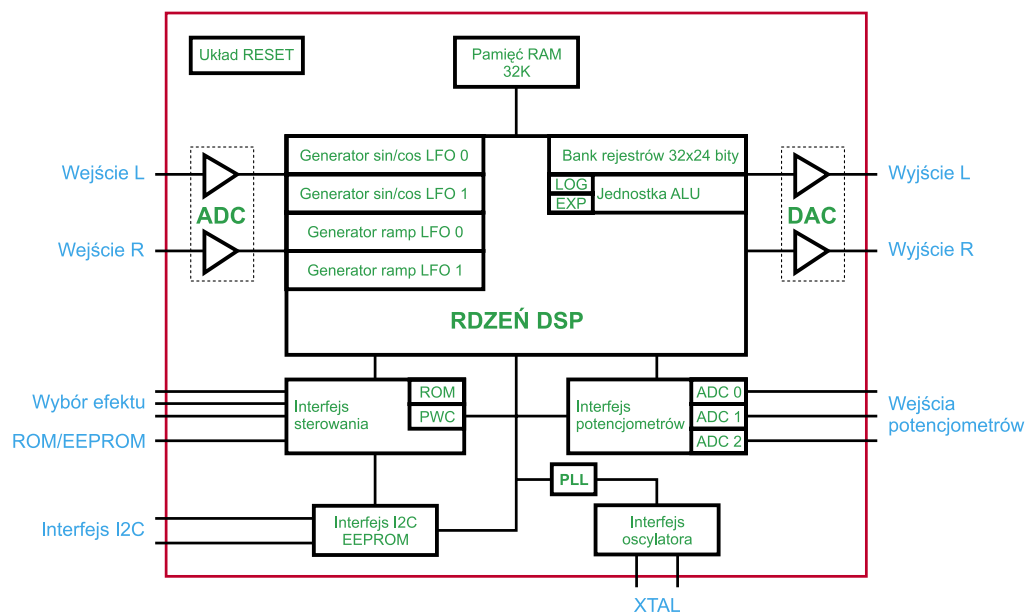
Parametr	Min	Typ	Max	Jedn.
Napięcie zasilania części analogowej A_{VDD}	-0,5	3,3	3,5	V
Napięcie zasilania części cyfrowej D_{VDD}	-0,5	3,3	3,5	V
Maksymalna moc tracona	–	–	300	mW
Impedancja wejściowa	80	–	120	k Ω
Impedancja wyjściowa	50	–	200	Ω
Maksymalny poziom sygnału wejściowego	2,6	–	3,0	Vp-p
Maksymalny poziom sygnału wyjściowego	2,6	–	3,0	Vp-p
Ekwiwalent wejściowego poziomu szumu przetwornika ADC	–	-97	-93	dB
Poziom szumu przetwornika DAC	–	-97	-93	dB
Zniekształcenia harmoniczne THD (przy 1 kHz)	–	0,015	0,03	%
Górna granica pasma przenoszenia (-3 dB, dla $F_s=32,768$ kHz)	14,5	–	15,5	kHz
Maksymalne opóźnienie sygnału (dla $F_s=32,768$ kHz)	–	–	1	s
Impedancja wejściowa dla wejść potencjometrycznych	10	–	20	M Ω
Prąd zasilania ($A_{VDD} + D_{VDD}$)	40	55	70	mA
Wartość rezystorów podciągających magistrali I ² C	3,75	–	–	k Ω

FV-1 posiada pamięć ROM, w której zapisano 8 predefiniowanych programów, czyli efektów audio ogólnego przeznaczenia, wykorzystujących wejścia potencjometryczne do kontroli wybranych parametrów w czasie rzeczywistym. Programy te przedstawiono w tab. 1. Wybrane parametry układu FV-1 przedstawiono w tab. 2.

Na rys. 1 przedstawiono rozkład wyprowadzeń układu FV-1, zaś w tab. 3 umieszczono ich opis i znaczenie.

Na rys. 2 przedstawiono uproszczoną, wewnętrzną budowę procesora sygnałowego FV-1.

Oprócz programów umieszczonych w pamięci ROM układu, producent przewidział możli-



Rys. 2. Uproszczona budowa procesora sygnałowego FV-1

Tab. 3. Opis i znaczenie wyprowadzeń układu FV-1

Pin	Nazwa	Opis
1	LIN	Wejście sygnału analogowego – kanał lewy
2	RIN	Wejście sygnału analogowego – kanał prawy
3	MID	Środek zakresu napięcia odniesienia
4	GND	Masa
5	CLIP	Wyjście diody LED sygnalizującej przekroczenie dopuszczalnego poziomu napięć przetwarzania przetworników ADC lub DAC
6	AVDD	Napięcie zasilania części analogowej układu
7	GND	Masa
8	DVDD	Napięcie zasilania części cyfrowej układu
9	X2	Wejście rezonatora kwarcowego
10	X1	Wejście rezonatora kwarcowego lub zewnętrznego sygnału zegarowego $F_s=25...50$ kHz
11	GND	Masa
12	T1	Wejście testowe w procesie produkcji – normalnie podłączone do masy.
13	T0	Wejście wyboru pamięci programu (0: ROM, 1: EEPROM)
14	SCK	Sygnał sterujący magistrali I ² C - zegar
15	SDA	Sygnał sterujący magistrali I ² C - dane
16	S0	Wybór programu - LSB
17	S1	Wybór programu
18	S2	Wybór programu - MSB
19	GND	Masa
20	POT0	Wejście potencjometryczne nr 0 – regulacje parametrów w czasie rzeczywistym
21	POT1	Wejście potencjometryczne nr 1 – regulacje parametrów w czasie rzeczywistym
22	POT2	Wejście potencjometryczne nr 2 – regulacje parametrów w czasie rzeczywistym
23	DVDD	Napięcie zasilania części cyfrowej układu
24	GND	Masa
25	REFN	Dolny poziom dla napięcia odniesienia
26	REFP	Górny poziom dla napięcia odniesienia
27	ROUT	Wyjście sygnału analogowego – kanał prawy
28	LOUT	Wyjście sygnału analogowego – kanał lewy

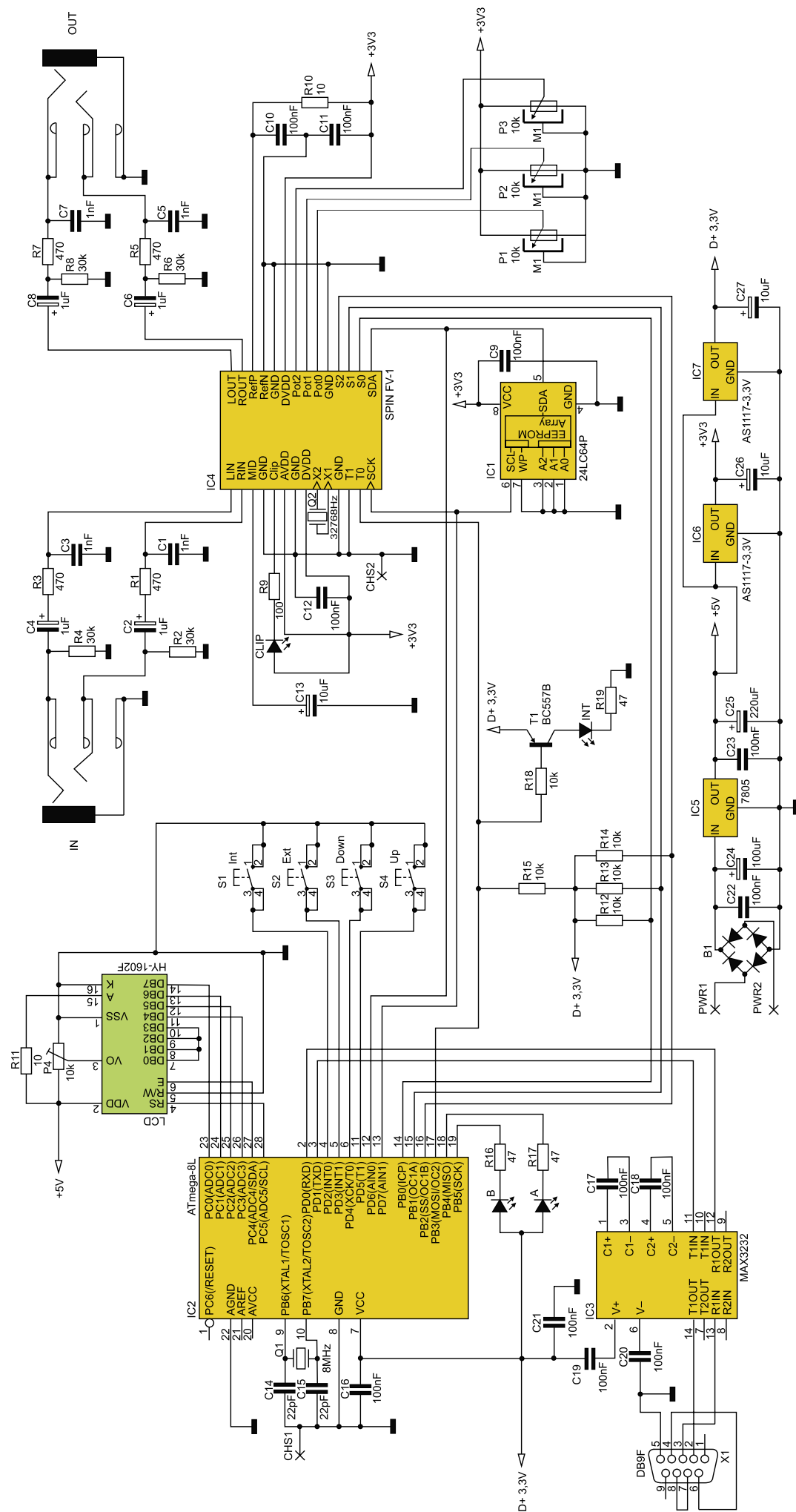
wość dołączenia zewnętrznej pamięci EEPROM sterowanej magistralą I²C, w której można umieścić kolejnych 8 programów, efektów audio. Każdy z programów może mieć długość 128 instrukcji zaimplementowanego asemblera, co przy długości każdej instrukcji równej 32 bity, daje 4 kB wymaganej pojemności zewnętrznej pamięci programu. W celu zaprogramowania procesora został stworzony specjalny rodzaj asemblera, którego listę rozkazów, jak i dobór zestawu rejestrów procesora zoptymalizowano pod kątem specyfiki przetwarzania sygnałów audio. Do stworzenia kodu programu, jego kompilacji i umieszczenia w pamięci EEPROM przewidziano specjalną aplikację SpinAsm IDE oraz zaprojektowano do tego celu płytkę ewaluacyjną z interfejsem USB. Niestety rozwiązanie to, z uwagi na jego dość wysoką cenę, nie byłoby dostępne dla większości elektroników-amatorów. Na szczęście aplikacja SpinAsm IDE posiada bardzo użyteczną dla naszych zastosowań opcję polegającą na generacji wynikowego kodu programu w postaci pliku w formacie Intel HEX, który zostanie umiejętnie wykorzystany w niniejszym rozwiązaniu. Należy zauważyć, iż zaimplementowany przez producenta assembler pozwala na niemalże dowolne kształtowanie możliwości procesora audio, a paleta efektów

możliwych do zrealizowania przy jego udziale jest zależna jedynie od umiejętności programisty i jego wiedzy, gdyż wiele z zaimplementowanych instrukcji maksymalnie upraszcza programowanie, nie mówiąc już o tym, iż wykonywane są w jednym taktie wewnętrznego zegara pracującego z częstotliwością 33,55 MHz. Można także skorzystać ze strony internetowej producenta i znajdujących się tam gotowych programów w postaci plików wsadowych kompilatora, czy też kompletnych banków tychże efektów. Bardziej ambitni programiści nie mający do tej pory do czynienia z dość skomplikowanym tematem DSP, korzystając z tej samej strony internetowej, mogą zapoznać się z podstawami tej techniki w dziedzinie przetwarzania sygnału audio, z asemblerem procesora FV-1 oraz aplikacją kompilatora i spróbować swoich sił w samodzielnym tworzeniu programów. Na ogromne uznanie zasługuje fakt, iż wszystkie przedstawione tam, trudne na pierwszy „rzut oka”, zagadnienia zostały pokazane w bardzo przejrzysty i przystępny sposób.

Aby w pełni wykorzystać możliwości procesora FV-1, należałoby zaopatrzyć się w dość drogą płytkę ewaluacyjną albo, co bardziej ciekawe, samodzielnie opracować odpowiedni moduł. Właśnie ten cel, między innymi, realizu-

je prezentowany układ procesora efektów audio sDPS'processor, rozszerzając przy tym jego właściwości użytkowe. Niniejszy układ zbudowano z wykorzystaniem mikrokontrolera firmy Atmel typu ATmega8L pracującego jako jednostka sterująca, układu MAX3232 dopasowującego napięcia zintegrowanego układu USART mikrokontrolera do poziomów napięć interfejsu szeregowej transmisji danych standardu RS232, wyświetlacza LCD 2x16 znaków, pamięci I²C EEPROM 24LC64 oraz wspomnianego układu procesora DSP Spin FV-1. Z uwagi na parametry zasilania procesora DSP, jak i innych elementów naszego układu procesora audio, oraz potrzebę minimalizacji wzajemnych interferencji części sterującej i wykonawczej, zastosowano dość rozbudowany projekt bloku zasilającego, jak i samej płytki drukowanej. Procesor sterujący i układ konwertera napięć MAX3232 zasilany jest z oddzielnego, scalonego stabilizatora AS1117-3,3 V, standardowy wyświetlacz LCD pracujący wyłącznie w trybie zapisu ze scalonego stabilizatora 5 V, zaś część aplikacyjna układu procesora DSP, z oddzielnego, drugiego scalonego stabilizatora 3,3 V. Dodatkowo zostały wydzielone (na płytce drukowanej) masy analogowa (część aplikacyjna procesora DSP) i cyfrowa (mikrokontroler, konwerter napięć i wyświetlacz LCD), zaś ich jedyne i bezpośrednie połączenie zostało wykonane w bloku zasilającym. W projekcie płytki drukowanej, wykonanej jako dwustronny laminat, przewidziano duże powierzchnie pola masy, oddzielnie dla każdej z warstw i każdej z mas (analogowej i cyfrowej), zadbane o odpowiednie umiejscowienie kondensatorów odprężających oraz odpowiednie prowadzenie ścieżek sygnałów sterujących i zasilających. Z uwagi na technologię wykonania i montażu poszczególnych półprzewodników zastosowano montaż mieszany, czyli przewlekany i powierzchniowy. Schemat układu przedstawiono na rys. 3.

Jak widać, jest to dość prosty system mikroprocesorowy, w którym mikrokontroler ATmega8L pełni rolę jednostki sterującej, a procesor sygnałowy FV-1, jednostki wykonawczej. Mikrokontroler ma za zadanie realizację dwóch podstawowych funkcji: sterowanie pracą procesora sygnałowego FV-1 poprzez adresowanie jego wejść sterujących S2, S1, S0 i T0 oraz komunikację z komputerem PC w celu aktualizacji listy programów efektów audio urządzenia (w tym przypadku współdzieli wykorzystywaną przez FV-1 zewnętrzną pamięć programu typu I²C EEPROM). Do zrealizowania drugiego zadania okazało się konieczne napisanie specjalnej aplikacji dla systemu Windows, mającej na celu wczytanie pliku kodu programu wygenerowanego przez kompilator SpinAsm IDE i przesłanie go, przy użyciu interfejsu RS232, do układu z alokacją w odpowiednim banku danych. Rozwiązanie to niweluje potrzebę posiadania płytki ewa-



Rys. 3. Schemat elektryczny układu



S - I²C Start
 A - potwierdzenie odbiornika (ACK) □ - inicjowany przez sterownik (Master)
 P - I²C Stop □ - inicjowany przez EEPROM
 A2, A1, A0 - sprzętowy adres układu

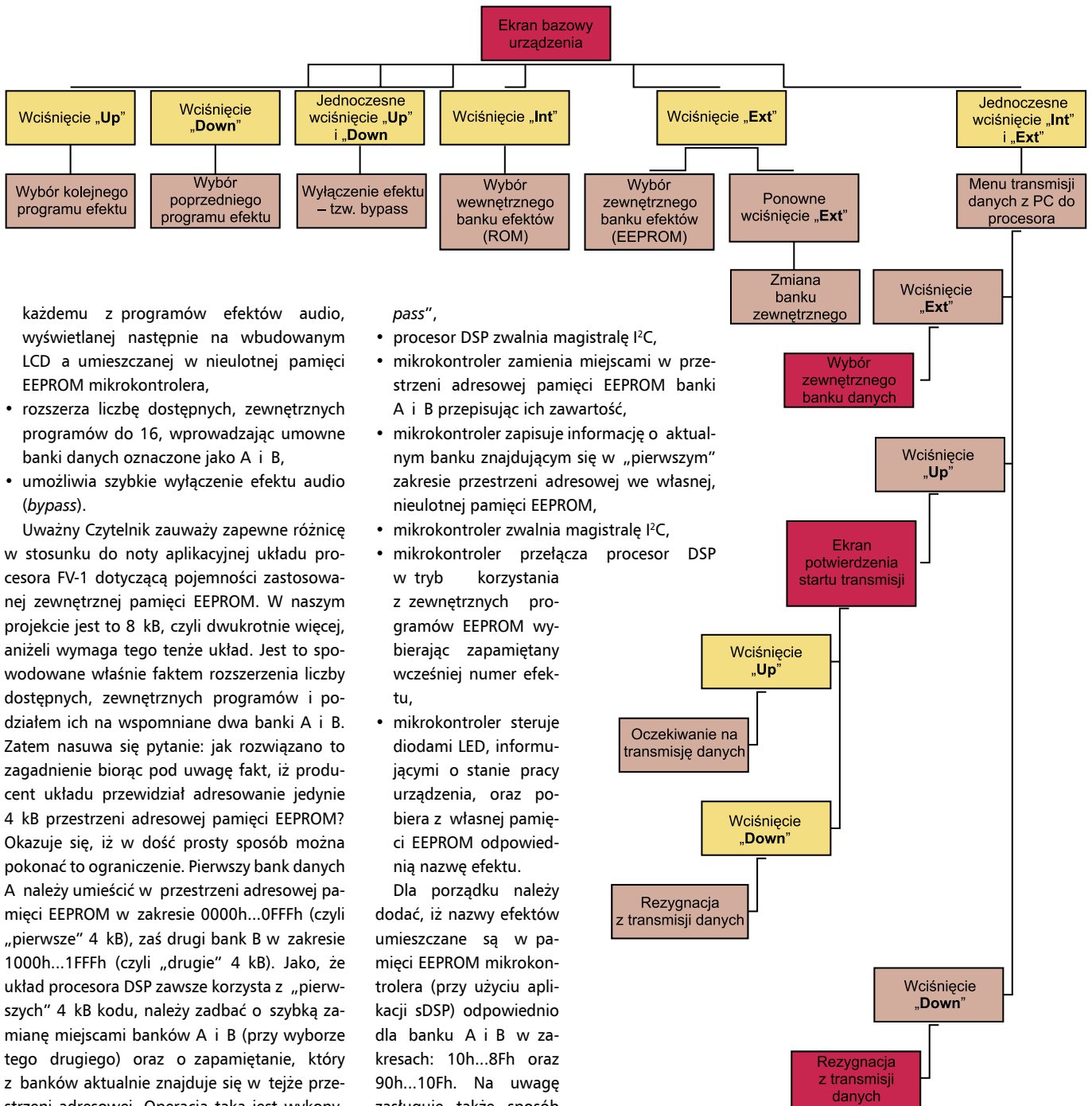
Rys. 4. Tryb zapisu tzw. strony danych pamięci I²C EEPROM

luacyjnej proponowanej przez producenta układu, przy udziale której te same czynności mogą zostać wykonane poprzez interfejs USB komputera PC, a dodatkowo rozszerza paletę możliwości układu o dodatkową funkcjonalność, a mianowicie:

- umożliwia nadanie niepowtarzalnej nazwy

przycisku wyboru programów zewnętrznych „Ext”, a przebiega w następujący sposób:

- mikrokontroler zapamiętuje aktualny numer efektu,
- mikrokontroler przełącza procesor DSP w tryb korzystania z wewnętrznych programów ROM wybierając program 5, czyli „by-



Rys. 5. Menu układu sDSP’processor z listą dostępnych funkcji

każdemu z programów efektów audio, wyświetlanej następnie na wbudowanym LCD a umieszczanej w nieulotnej pamięci EEPROM mikrokontrolera,

- rozszerza liczbę dostępnych, zewnętrznych programów do 16, wprowadzając umowne banki danych oznaczone jako A i B,
- umożliwia szybkie wyłączenie efektu audio (*bypass*).

Uważny Czytelnik zauważy zapewne różnicę w stosunku do noty aplikacyjnej układu procesora FV-1 dotyczącą pojemności zastosowanej zewnętrznej pamięci EEPROM. W naszym projekcie jest to 8 kB, czyli dwukrotnie więcej, aniżeli wymaga tego tenże układ. Jest to spowodowane właśnie faktem rozszerzenia liczby dostępnych, zewnętrznych programów i podziałem ich na wspomniane dwa banki A i B. Zatem nasuwa się pytanie: jak rozwiązano to zagadnienie biorąc pod uwagę fakt, iż producent układu przewidział adresowanie jedynie 4 kB przestrzeni adresowej pamięci EEPROM? Okazuje się, iż w dość prosty sposób można pokonać to ograniczenie. Pierwszy bank danych A należy umieścić w przestrzeni adresowej pamięci EEPROM w zakresie 0000h...0FFFh (czyli „pierwsze” 4 kB), zaś drugi bank B w zakresie 1000h...1FFFh (czyli „drugie” 4 kB). Jako, że układ procesora DSP zawsze korzysta z „pierwszych” 4 kB kodu, należy zadbać o szybką zamianę miejscami banków A i B (przy wyborze tego drugiego) oraz o zapamiętanie, który z banków aktualnie znajduje się w tejże przestrzeni adresowej. Operacja taka jest wykonywana w przypadku ponownego naciśnięcia

- procesor DSP zwalnia magistralę I²C,
- mikrokontroler zamienia miejscami w przestrzeni adresowej pamięci EEPROM banki A i B przepisując ich zawartość,
- mikrokontroler zapisuje informację o aktualnym banku znajdującym się w „pierwszym” zakresie przestrzeni adresowej we własnej, nieulotnej pamięci EEPROM,
- mikrokontroler zwalnia magistralę I²C,
- mikrokontroler przełącza procesor DSP w tryb korzystania z zewnętrznych programów EEPROM wybierając zapamiętany wcześniej numer efektu,
- mikrokontroler steruje diodami LED, informującymi o stanie pracy urządzenia, oraz pobiera z własnej pamięci EEPROM odpowiednią nazwę efektu.

Dla porządku należy dodać, iż nazwy efektów umieszczone są w pamięci EEPROM mikrokontrolera (przy użyciu aplikacji sDSP) odpowiednio dla banku A i B w zakresach: 10h...8Fh oraz 90h...10Fh. Na uwagę zasługuje także sposób zapisu pamięci 24LC64.

Jak wiemy, typowy, maksymalny czas potrzebny na wykonanie operacji zapisu w przypadku pamięci EEPROM sterowanych magistralą I²C wynosi około 10 ms, co przy konieczności przepisania 8 kB danych dałoby czas około 84 s, czyli zupełnie niedopuszczalny z praktycznego punktu widzenia w odniesieniu do naszych potrzeb. Rozwiązanie tego problemu podaje sam producent układu pamięci wyposażając ją w mechanizm zapisu i odczytu tzw. strony, czyli 32 bajtów danych. Mechanizm ten umożliwia przesłanie do pamięci kolejno 32 bajtów danych, a następnie zainicjowanie zapisu, który trwa 5 ms. Jest to możliwe dzięki wyposażeniu pamięci w 32-bajtowy, wewnętrzny bufor

WYKAZ ELEMENTÓW

Rezystory

R1, R3, R5, R7: 470 Ω

R2, R4, R6, R8: 30 kΩ

R9: 100 Ω

R10, R11: 10 Ω

R12...R15, R18: 10 kΩ

R16, R17, R19: 47 Ω

P1, P2, P3: potencjometr obrotowy 10 kΩ
typu RV091NP/H/-B10K-25KQ-T18 (producent:
TOMY)

P4: potencjometr montażowy 10 kΩ

Kondensatory

C1, C3, C5, C7: monolityczny 1 nF 100 V X7R

C9...C12, C16...C23: monolityczny 100 nF 100
V X7R

C2, C4, C6, C8: tantalowy 1 μF 35 V

C13: elektrolityczny 10 μF/25 V

C14, C15: ceramiczny 22 pF

C24: elektrolityczny 100 μF/25 V

C25: elektrolityczny 220 μF/25 V

C26, C27: tantalowy 10 μF 16 V

Półprzewodniki

IC1: 24LC64P (DIP8)

IC2: ATmega-8L (DIP28)

IC3: MAX3232N (DIP16)

IC4: SPIN FV-1 (SOIC28)

IC5: 7805 (TO220)

IC6, IC7: AS1117-3.3V (SOT223)

B1: mostek prostowniczy 1 A

INT: zielona dioda LED 3 mm

A, CLIP: czerwona dioda LED 3 mm

B: pomarańczowa dioda LED 3 mm

T1: BC557B

LCD: wyświetlacz LCD 2x16 typ HY-1602

Inne

Q1: rezonator kwarcowy 8 MHz (niski)

Q2: rezonator kwarcowy 32768 Hz

IN, OUT: gniazdo typu Jack stereo 6,3 mm (do
druku)

S1...S4: przycisk microswitch z oską 13 mm

X1: gniazdo kątowe DB9F

danych oraz odpowiedni tryb zapisu i odczytu. Dzięki tej właściwości przełączanie banków danych trwa kilka sekund, co wydaje się w zupełności akceptowalne w odniesieniu do uproszczenia układu. Oczywiście można byłoby zastosować dwie pamięci 24LC32 i dynamiczną zmianę adresu (adresowanie pamięci przez mikrokontroler), jednak zastosowane rozwiązanie wydaje się być najlepszym kompromisem pomiędzy prostotą układu a wygodą użytkowania. Ten tryb zapisu zobrazowano na rys. 4.

Omówienia wymaga jeszcze sposób współpracy układu sDSP'processor z komputerem PC oraz przyjęty protokół transmisji. Układ procesora audio wyposażono w interfejs szeregową transmisji danych standardu RS232. Pomimo, iż schemat elektryczny układu przewiduje możliwość dwukierunkowej transmisji danych, w rzeczywistości wykorzystywana jest jedynie transmisja w kierunku do procesora, gdyż de-

dykowana aplikacja sDSP służy wyłącznie do aktualizacji listy efektów (i ich nazw) procesora FV-1. Przyjęto następujące założenia protokołu transmisji:

- asynchroniczna jednokierunkowa transmisja danych bez sterowania przepływem,
- prędkość 600 bodów,
- 8 bitów danych, 1 bit stopu, bez bitów kontroli parzystości i bez kontroli błędów,
- kabel połączeniowy gniazdo-wtyk (bepośrednie połączenie odpowiadających sobie wyprowadzeń złącza DB9).

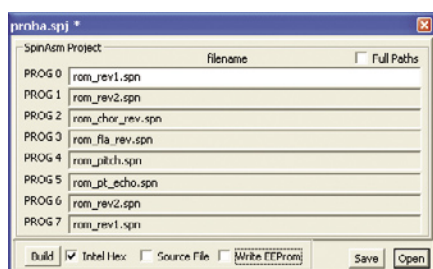
Przyjęta prędkość transmisji jest maksymalną, dostępną dla realizacji zamierzonych zadań a wynika z faktu, iż przesyłane dane są „w locie” zapisywane do wybranego banku pamięci EEPROM, która potrzebuje czasu na utrwalenie ich w wewnętrznej macierzy danych, również w przypadku korzystania z bufora danych i trybu zapisu strony. W trakcie transmisji, w pierwszej kolejności przesyłane są 4 kB kodu programu (pełny bank 8 efektów), a następnie 128 bajtów danych nazw efektów. Każda nazwa może składać się maksymalnie z 16 znaków ANSI. W przypadku niewypełnienia (w aplikacji sDSP) pola nazwy, zostanie wysłany ciąg 16 bajtów o wartości FFh, które mikrokontroler zinterpretuje później jako brak nazwy lub pusty bank danych. Sposób obsługi układu sDSP'processor oraz listę dostępnych opcji przedstawiono na rys. 5.

Na koniec należy przedstawić procedurę aktualizacji banku efektów. Przebiega ona następująco:

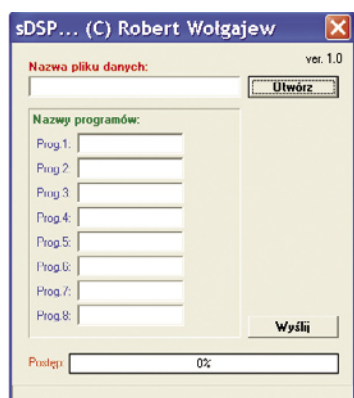
1. podłączamy układ sDSP'processor do złącza COM1 komputera klasy PC,
2. włączamy komputer oraz nasz układ procesora efektów,
3. uruchamiamy program SpinAsm IDE, a następnie z paska narzędziowego wybieramy okno dialogowe „Open Project” (rys. 6). Jak widać, mamy tutaj dostępnych 8 pól służących wprowadzeniu, bądź wybraniu pliku programu oddzielnie dla każdego z efektów. Komplet takich efektów utworzy skompilowany plik wsadowy, który umieścimy następnie w pamięci EEPROM układu procesora. Powyższe okno umożliwia ponadto zapisanie

zestawu efektów (projektu) przy użyciu funkcji „Save” lub odczyt wcześniej utworzonego zestawu przy użyciu funkcji „Open”. Kompilacji projektu dokonujemy poprzez wybranie funkcji „Build” z aktywną opcją „Intel HEX”, która powoduje, iż utworzony w wyniku jej działania plik HEX będzie odpowiadał standardowi opracowanemu przez firmę Intel. Dla porządku należy dodać, iż opcja „Source file” pozwala na utworzenie wynikowego pliku wsadowego w formacie pliku nagłówkowego języka C, zaś opcja „Write EEPROM” pozwala na bezpośrednie zaprogramowanie pamięci EEPROM pod warunkiem korzystania z płytki ewaluacyjnej wyposażonej w interfejs USB. Oczywiście program SpinASM IDE pozwala także na pisanie własnych programów efektów dla procesora FV-1, ich zapisywanie oraz kompilację, gdyż jest to w rzeczywistości zintegrowane środowisko programistyczne tego procesora. Dla nas jednak najważniejsza jest możliwość kompilacji projektu do formatu Intel HEX i użycie pliku wynikowego w etapie programowania pamięci EEPROM układu sDSP'processor.

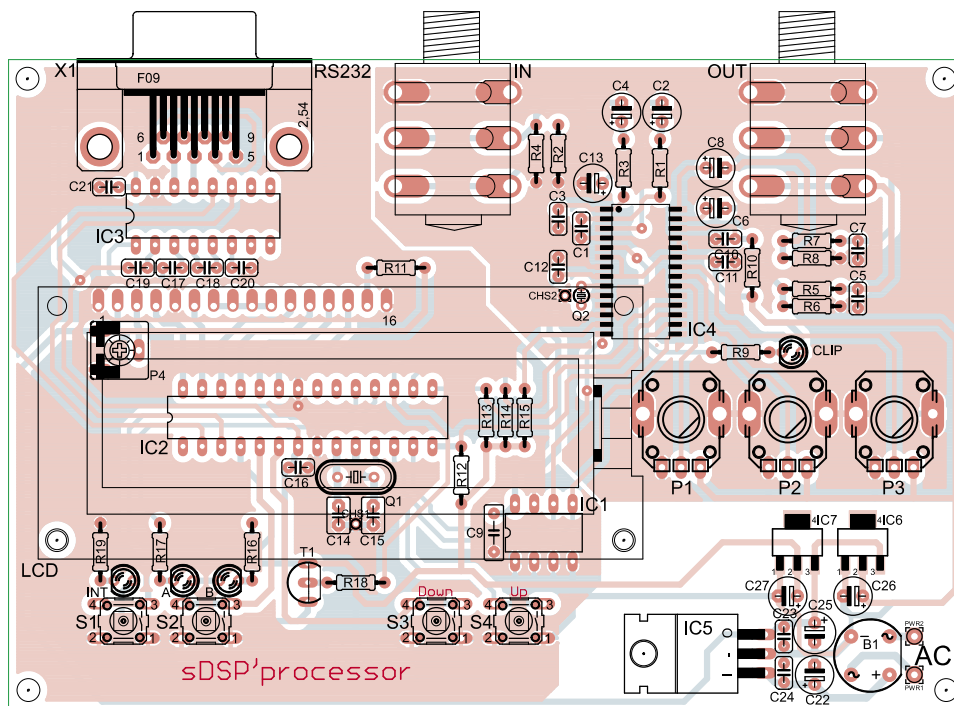
4. Uruchamiamy program sDSP i za pomocą funkcji „Otwórz” wczytujemy utworzony wcześniej plik HEX. Wygląd okna programu sDSP przedstawiono na rys. 7. Aplikacja sDSP pozwala na zaprogramowanie wybranego banku pamięci EEPROM układu sDSP'processor. Ponadto pola „Prog.1”...„Prog.8” umożliwiają nadanie niepowtarzalnych nazw każdemu programowi efektów audio. Nazwy te będą później wyświetlane na wyświetlaczu LCD po wybraniu efektu z banku zewnętrznego (obowiązuje zestaw znaków ANSI).
5. Wprowadzamy układ sDSP'processor w tryb oczekiwania na dane przesyłane przy pomocy interfejsu RS232 wybierając wcześniej żądany bank (Menu transmisji danych z PC do procesora),
6. Wysyłamy dane przy użyciu funkcji „Wyślij” aplikacji sDSP. Postęp transmisji jest widoczny w oknie aplikacji, zaś fakt odbierania danych przez układ procesora jest sygnalizowany cyklicznym włączaniem diod LED opisanych nazwą banku A i B. Cały proces



Rys. 6. Okno dialogowe „Open Project” programu SpinAsm IDE



Rys. 7. Wygląd głównego okna programu sDSP



Rys. 8. Schemat montażowy

transmisji i programowania zajmie niespełna 1,5 minuty. Po zakończeniu transmisji, układ procesora automatycznie przełączy się na efekt audio, który był wybrany przed wejściem w powyższe Menu.

Montaż

Montaż rozpoczynamy od wlutowania elementów SMD (rys. 8). Najlepiej użyć do tego celu stacji lutowniczej z odpowiednim grotem i dobrego topnika. Następnie lutujemy

rezystory, kondensatory (należy zwrócić szczególną uwagę na typ i jakość zastosowanych elementów), inne elementy bierne, przełączniki microswitch, złącza i gniazda, potencjometry a na końcu półprzewodniki, w tym diody LED w odpowiedniej długości plastikowych tulejach dystansowych. Metalowe obudowy rezonatorów kwarcowych najlepiej jest połączyć z masą układu – przewidziano odpowiednie wyprowadzenia. Wyświetlacz LCD należy zamocować przy pomocy tulei dystansowych do płytki wykorzystując przewidziane w tym celu otwory zaś same połączenie należy wykonać przy użyciu listwy goldpin typu gniazdo-wtyk. Stabilizator napięcia zasilania 7805 należy wyposażyć w niewielki radiator wykonany z kawałka blachy, gdyż ciepło wydzielane na tym elemencie może okazać się zbyt duże. Poprawnie zmontowany układ nie wymaga żadnych regulacji i powinien działać bezpośrednio po włączeniu zasilania.

Robert Wołgajew, EP
 robert.wolgajew@ep.com.pl

Informacje <http://www.spinsemi.com>

R E K L

Zestaw uruchomieniowy dla AVR i 51 AVT992

Dostępne wersje:
 A - płytka drukowana: 28zł
 B - komplet elementów: 150zł
 C - układ zmontowany: 220zł

AVT-Korporacja Sp. z o.o.
 03-197 Warszawa ul. Leszczyńska 11
 tel. 022 257 84 50, fax 022 257 84 55,
 e-mail: handlowy@avt.pl

www.sklep.avt.pl

A M A

AVT959 Tester monitorów VGA

Dostępne wersje:
 A - płytka drukowana: 23zł
 B - komplet elementów: 48zł
 C - układ zmontowany: 98zł

AVT-Korporacja Sp. z o.o.
 03-197 Warszawa ul. Leszczyńska 11
 tel. 022 257 84 50, fax 022 257 84 55,
 e-mail: handlowy@avt.pl

www.sklep.avt.pl