

Prosty syntezer częstotliwości

kit
2746
AVT

Do czego to służy?

Niezbędnym blokiem każdego urządzenia radiokomunikacyjnego jest heterodyna (prze-strajany generator w.cz., często oznaczany skrótem VFO), a podstawowym problemem każdego jej projektanta jest zapewnienie jej odpowiedniej stabilności częstotliwości.

Elektronicy (radioamatorzy) od zawsze marzą o zbudowaniu przestrajanego generatora, który z jednej strony byłby prosty jak generator LC np. w układzie Colpitsa, a z drugiej strony byłby wolny od dryfu częstotliwości, prawie zawsze występującego w prostych układach. W praktyce nie uda się osiągnąć zadowalającej stabilności częstotliwości bez dobierania kondensatorów o różnych współczynnikach termicznych w taki sposób, aby w efekcie uzyskać kompensację termiczną generatora VFO. Tego właśnie nie można zrobić przy kompletowaniu elementów do kitów AVT, bo w praktyce kompensacja jest żmudną operacją, którą zawsze przeprowadza się indywidualnie, dla konkretnego egzemplarza podczas uruchamiania urządzenia. Prawdę mówiąc, ostatnio nie oferuje się powszechnie specjalnych kondensatorów o odpowiednich współczynnikach temperaturowych. Przed laty produkowane były głównie do zastosowań wojskowych.

Również i z tego powodu większość gotowych urządzeń fabrycznych jest wyposażona w syntezer częstotliwości oparte o pętlę PLL (Phase Locked Loop). Pętla PLL jest układem sprzężenia zwrotnego zapewniającego w stanie synchronizacji zrównanie częstotliwości odniesienia i VCO (Voltage Controlled Oscillator) i to tak dokładne, że przesunięcie fazowe pomiędzy oboma porównywanymi przebiegami jest stałe. Duży stopień komplikacji nowoczesnych obwodów z pętlą PLL oraz

wysoka cena układów do realizacji syntezy metodą bezpośrednią DDS (Direct Digital Synthesis) wykluczają je z prostych konstrukcji amatorskich. Rozwiązania takie, aczkolwiek możliwe, nie są zbyt popularne - ich cena jest z reguły wyższa od układu podstawowego. Na szczęście innym rozwiązaniem stabilizacji częstotliwości generatora (oprócz powszechnie stosowanych układów PLL) jest częstotliwościowa pętla synchronizacji FLL (Frequency Locked Loop).

Opisany poniżej prosty syntezer częstotliwości oparty jest właśnie o pętlę FLL. Układ ten nie jest w stanie zniwelować zmian częstotliwości szybszych od szybkości reakcji pętli (stała czasowa integratora, krok syntezy). W wypadku szybkich zmian częstotliwości układ „przeskoczy” na kolejną synchronizowaną częstotliwość. W praktyce oznacza to, że układ ten jest w stanie wyeliminować tylko powolne zmiany częstotliwości wywołane efektami termicznymi – likwiduje długookresowy dryft VFO. Konstrukcja VFO powinna być stabilna mechanicznie (w tym także bez luzów na przekładni strojeniowej) i zabezpieczona przed wstrząsami. Przestrajanie VFO układ FLL rozumie jako bardzo szybki dryft, którego nie jest w stanie skompensować. Układ ten nie nadaje się do trzask CW z rytmem przez kluczowanie częstotliwości VFO. Emisje CW można uzyskać w tym wypadku przez kluczowanie częstotliwości BFO (trzeba jednak wykorzystać w układzie generator monolityczny). Maksymalna częstotliwość pracy układu FLL ograniczona jest częstotliwością graniczną zastosowanego przerzutnika D (mieszacz harmoniczny, układ HCT około 50MHz) oraz stabilnością VFO. Krok syntezy równy jest częstotliwości

sygnału kluczującego mieszacz harmoniczny – u nas 76Hz (fk). Dla BFO 5MHz wyniesie on 38Hz.

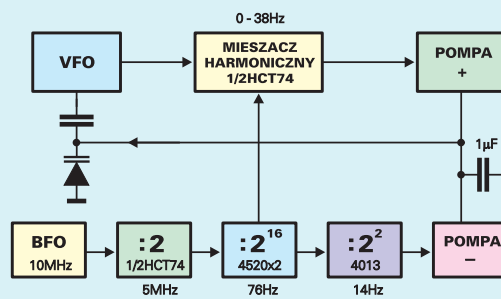
Zakres zastosowań tego niecodziennego układu może być bardzo szeroki. Niewątpliwie układ stabilizuje częstotliwość i zdaniem autora może znaleźć zastosowanie w prostych transceiverach i odbiornikach KF. Układ jest na tyle prosty i tani, że powinien być wypróbowany w wielu układach, nie tylko w popularnym Antku czy Bartku, ale także w starszych rozwiązaniach.

Jak to działa?

Schemat blokowy pętli FLL przedstawiono na rysunku 1, schemat szczegółowy na rysunku 2. W skład układu wchodzi:

– Strojony oscylator LC z ograniczonym zakresem przestrajania za pomocą napięcia (VCO). Układ jest ograniczony do niezbędnego minimum, ponieważ jako generator VCO będzie wykorzystywany w układzie generatora VFO z dodatkową diodą pojemnościową przystosowaną do sterowania z wyjścia syntezy (może być rit). Jako warikap można zastosować każdą diodę pojemnościową, która umożliwia zmianę zakresu przestrajania

Rys. 1 Schemat blokowy

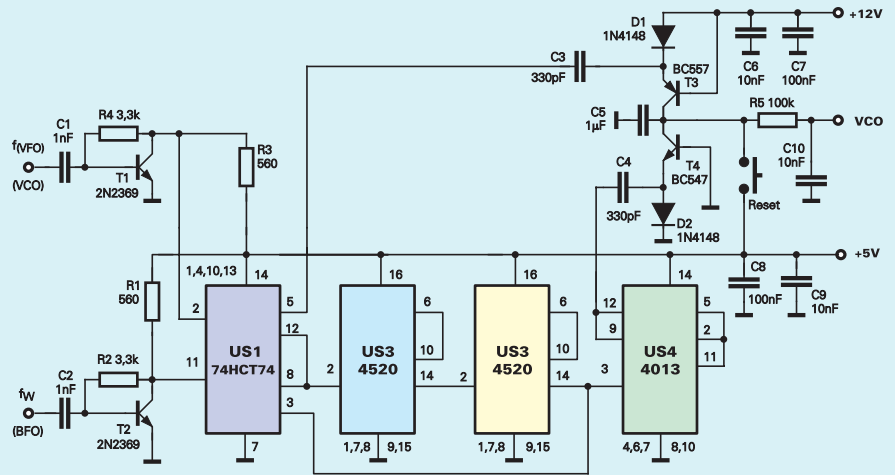


o około 5-10kHz dla zakresu napięć 0-12V. Zaleca się wcześniejsze sprawdzenie diody w konkretnym układzie VFO poprzez sterowanie jej z potencjometru zasilanego napięciem 12V. Na zakres przestrajania ma wpływ pojemność sprzęgająca diodę: im większa, tym większy zakres przestrajania. Wstępne doświadczenia uświadomią fakt, że nadmierne „ciągnięcie” oscylatora przez wariak skutkuje zwiększeniem przypadkowych przeskoków częstotliwości VFO (można nie uzyskać prawidłowej synchronizacji). Alternatywnie zamiast wariaku można użyć na przykład złącza B-E tranzystora BC lub nawet diody LED spolaryzowanej zaporowo. Należy pamiętać, że FLL kompensuje powolny dryf częstotliwości, lecz nie potrafi skompensować szybkich zmian częstotliwości - niezależnie od ich przyczyny.

Oscylator wzorcowy wraz z układem dzielników częstotliwości (częstotliwość odniesienia)

Generator ten powinien charakteryzować się wysoką stałością częstotliwości i małym szumem fazowym. Wymagania te doskonale spełnia praktycznie każdy generator kwarcowy. W przedstawionym rozwiązaniu jako generator wzorcowy wykorzystano generator BFO (generator pomocniczy w odbiorniku; generator fali nośnej nadajnika). Zaletą tego rozwiązania jest minimalizacja możliwych zakłóceń. Można również użyć zewnętrznego oscylatora scalonego zasilanego napięciem 5V. W tym przypadku układ wzmacniacza na tranzystorze T2 jest zbędny. W opisanym układzie sygnał generatora wzorcowego wzmacniany jest przez tranzystor T2, a następnie dzielony przez 2 w przerzutniku D układu HCT74. Przyjęte rozwiązanie pozwala zastosować jako częstotliwości wzorcowe częstotliwości sięgające 10 MHz (częstotliwość graniczna układu 4520, przy napięciu zasilania 5V wynosi około 5MHz). Dalszy podział częstotliwości odniesienia realizują dwa podwójne liczniki binarne US2 i US3 (4520), podział przez 65536 do wartości około 76Hz, przy częstotliwości wzorca 10MHz). Otrzymany sygnał 76Hz (f_k) steruje pracą mieszacza harmonicznego. Częstotliwość odniesienia wytwarza się, dzieląc sygnał z wyjścia dzielnika US3 przez 4. Funkcję dzielnika częstotliwości realizują dwa przerzutniki D układu 4013. Otrzymany sygnał 19Hz służy jak częstotliwość odniesienia (f_{VFO} wzorca 10MHz). Steruje on częścią pompy ładunkowej obniżającej napięcie VCO.

* Mieszacz harmoniczny, sinusoidalny sygnał z generatora VFO, jest wzmacniany w układzie z tranzystorem T1 i przetwarzany przez mieszacz harmoniczny ($1/2$ HCT74). Na wyjściu mieszacza otrzymuje się częstotliwości z zakresu 0- $1/2$ częstotliwości sterującej pracą mieszacza harmonicznego (Hz) (f_k). Otrzymana częstotliwość steruje pracą pompy ładunkowej podwyższającej napięcie VCO.



Rys. 2 Schemat ideowy

Żeby zrozumieć pracę układu, trzeba najpierw zrozumieć, jak działa mieszacz harmoniczny. Mieszacz harmoniczny jest swego rodzaju pamięcią sterowaną narastającym zbroczem sygnału o częstotliwości 76Hz (f_k). Działanie układu wyjaśnia dobrze rysunek 3 wraz z tabelą przejść. Warto zauważyć, że na działanie układu nie ma wpływu liczba impulsów w trakcie trwania okresu sygnału o częstotliwości 76Hz, a jedynie poziom logiczny sygnału VFO na wejściu D przerzutnika w momencie podania zbrocza narastającego na wejście CK (częstotliwość 76Hz). Na wyjściu mieszacza harmonicznego otrzymuje się przebieg o częstotliwości zmieniającej się od 0 do $0,5f_k$, którego częstotliwość można obliczyć z następującego wzoru:

$$f_{out} = f - k * f_k$$

gdzie:

f_{out} - częstotliwość na wyjściu mieszacza harmonicznego $f_{out} \leq 1/2 f_k$ [Hz],

f - częstotliwość oscylatora zsynchronizowanego [Hz],

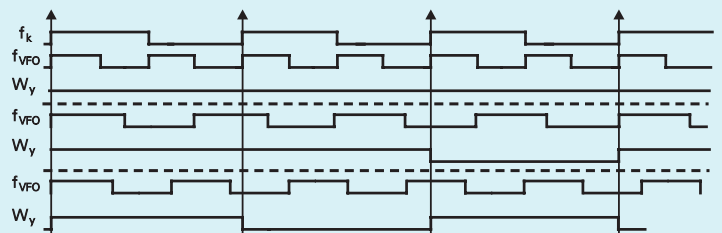
k - dowolna liczba naturalna 1,2,3,4...n,

f_k - częstotliwość sterująca pracą mieszacza harmonicznego [Hz].

Na rysunku 4 przedstawiono charakterystykę mieszacza harmonicznego w funkcji częstotliwości VFO. Warto zauważyć, że początkowo częstotliwość wyjściowa mieszacza rośnie (od 0 do $1 f_k$, potem znowu opada do 0, a cały cykl się powtarza tym razem już dla innej krotności sygnału f_k). Symetryczną charakterystykę pętli FLL uzyskuje się, porównując sygnał z wyjścia mieszacza harmonicznego z sygnałem wzorcowym o częstotliwości $f_k/4$ (sygnał na wyjściu mieszacza może osiągnąć maksymalnie $0,5 f_k$).

Ponieważ już wiemy, jak wygląda charakterystyka częstotliwościowa mieszacza harmo-

Rys. 3 Zasada działania układu

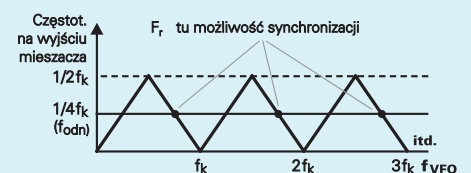


f_k	f_{VFO}	XX	- wyjście mieszacza
\square	M	H	
L	X	Q	
\square	L	L	

X - stan dowolny
Q - stan wcześniejszy 21

nicznego, zastanówmy się, kiedy może zajść synchronizacja generatorów. W naszej analizie zajmujemy się tylko częścią pompy ładunkowej sterowanej z wyjścia mieszacza harmonicznego (podwyższającej napięcie). Częstotliwość odniesienia jest stała (19Hz). Niech częstotliwość wyjściowa VFO będzie równa wielokrotności częstotliwości sterującej mieszacza harmonicznego, na wyjściu mieszacza będzie występowała częstotliwość 0Hz, a więc będzie działał tylko pompa obniżająca napięcie, a tym samym obniżająca częstotliwość. Gdy częstotliwość wyjściowa VFO będzie się obniżać i dojdzie do częstotliwości równej n (dowolna liczba całkowita) * $3/4$ częstotliwości sterującej mieszaczem harmonicznym ($f_k = 76\text{Hz}$), częstotliwość na wyjściu mieszacza harmonicznego będzie równa 19Hz. Dalsze obniżenie częstotliwości VCO spowoduje, że zwiększy się liczba impulsów na wyjściu pompy ładunkowej podwyższającej napięcie

Rys. 4 Charakterystyka mieszacza harmonicznego



(>19Hz), a tym samym jej wpływ będzie większy na częstotliwość VCO (od pompy obniżającej) i napięcie (a tym samym częstotliwość) na jej wyjściu będzie rosła. W ten sposób utrzymuje się stan równowagi wokół częstotliwości n (dowolna liczba całkowita) $\cdot \frac{3}{4}$ częstotliwości sterującej mieszaczem harmonicznym (76Hz). Częstotliwość wyjściowa syntezy stabilizowana jest wokół n (dowolna liczba naturalna) $\cdot \frac{3}{4}$. Inaczej mówiąc, w układzie FLL częstotliwość nigdy nie jest doskonale stała, lecz oscyluje (drży) wokół pewnej średniej częstotliwości w przedziale kilku Hz. Teraz wyjaśnijmy, dlaczego nie jest możliwa synchronizacja dla częstotliwości (dowolna liczba całkowita) $\cdot \frac{1}{4}$ częstotliwości sterującej mieszaczem harmonicznym. Dla tej częstotliwości wzrost częstotliwości na wyjściu mieszacza harmonicznego powoduje wzrost napięcia na wyjściu pompy ładunkowej (przeważa pompa ładunkowa podwyższająca napięcie), a tym dalsze podwyższanie częstotliwości - układ nie przeciwdziała zmianom częstotliwości VFO, a dąży do częstotliwości (liczba naturalna) $\cdot \frac{3}{4}$ częstotliwości sterującej mieszaczem harmonicznym (fk).

– Obwód uśredniający napięcie (integrator) obwód ten uśrednia zmiany częstotliwości i przetwarza je na zmiany napięcia sterujące pracą VFO. Komplementarne obwody pompy ładunku zbudowane na T3 i D1 oraz T4 i D2 sterowane są bezpośrednio przez układy cyfrowe. Para tranzystorów pnp-npn pracuje w układach ze wspólną bazą i charakteryzuje się dużą rezystancją wyjściową niezbędną do zapobieżenia rozładowywaniu kondensatora integratora C5. Napięcie z tego kondensatora poprzez rezystor R5 jest podawane na katodę diody pojemnościowej generatora VCO.

Szybkość reakcji na zmiany częstotliwości zależy od pojemności kondensatorów C3, C4 (330pF) - im większa pojemność, tym reakcja na zmiany częstotliwości szybsza, ale rośnie moc zakłóceń generowanych przez układ FLL. Ewentualne zakłócenia mogą być zmniejszone przez zwiększenie pojemności C10). Napięcie resetujące integrator (w okolicy połowy zakresu przestrajania) pochodzi z napięcia zasilania układów scalonych 5V. W układzie tym nie mamy wpływu na dokładną wartość częstotliwości wytwarzanej przez VFO! (możemy ją jednak uzyskać zmieniając w niewielkim zakresie częstotliwość wzorca).

Montaż i uruchomienie

Zasadniczy układ elektroniczny FLL należy zmontować z użyciem płytki drukowanej pokazanej na rysunku 5. Można użyć podstawek pod układy scalone. Najlepiej, aby pierwszy układ scalony, czyli 7474, był wykonany w technologii HCT (wtedy potrzebuje mniejszego wysterowania niż wykonany w technologii HC). Kondensator integratora C5, a także C10, powinny być o małej upływności (np. MKT). O ile to możliwe, tranzystory pompy ładunkowej powinny być tranzystorami impulsowymi o zbliżonym wzmocnieniu (w modelu użyto dobranych popularnych tranzystorów BC557 i BC547). Przystępując do uruchamiania układu należy pamiętać o podaniu sygnałów wejściowych (obydwa oscylatory powinny ruszyć po włączeniu zasilania FLL). Warto wcześniej uziemić metalową obudowę rezonatora generatora wzorcowego, ponieważ w pewnym stopniu polepsza to stabilność układu. Należy jeszcze raz przypomnieć, że dokładna wartość nie ma w praktyce znaczenia. Napięcie zasilające FLL musi być czyste (dobrze stabilizowane, bez wpływu sygnału nadajnika). Do sprawdzenia układu można wykorzystać oscyloskop lub sam woltomierz DC cyfrowy oraz miernik częstotliwości.

Na wyjściu każdego dzielnika powinno być około 2,5V (z wyjątkiem wyjść o częstotliwości

ci poniżej 50Hz - tam będzie się zmieniać w zakresie od 2,3-2,7V; związane jest to z szybkością pomiaru przetwornika A-C multimetru). Na wyjściu mieszacza harmonicznego napięcie będzie się zmieniać od 1 do 4V (wyjście 5 układu 7474). Wyjście 5 będzie robiło wrażenie niestabilnego, bo częstotliwość na nim będzie zmieniać się od 0 do 38Hz. Jeżeli BFO pracuje na częstotliwości 10 MHz, to na nóżce 14 układu scalonego US3 i 12 US4 powinny istnieć prostokątne sygnały odpowiednio 76Hz i 19Hz.

Pompę ładunkową można sprawdzić, podłączając przez kondensator 33nF sygnał z wyjścia 14 US3 na emiter tranzystorów (kondensatory C3 i C4 nie są montowane, a US4 wyjęty z podstawki). Jeśli podłączymy do BC557, to napięcie na kondensatorze C5 1uF będzie rosło do 12V, a jeśli do BC547 - do około 0V (nawet trochę bardziej - doda się napięcie prostowane na diodach). Dzięki dużej pojemności kondensatora (33nF) prąd ładowania pompy ładunkowej przewyższa prąd rozładowania przez wewnętrzną rezystancję multimetru cyfrowego.

Pierwsze próby obsługi FLL i przycisku Reset

Najlepiej jest włączyć transeiver i pozostawić np. na około pół minuty, żeby umożliwić wystąpienie ewentualnego szybkiego dryfu, a potem wcisnąć przycisk *Reset*. Stroić jak dowolny inny VFO. Natychmiast po zakończeniu ręcznego strojenia pętla sterująca przesuwa częstotliwość do najbliższego punktu synchronizacji (lockup) - wcisnąć *Reset*. Ponowne resetowanie nie jest konieczne przez przynajmniej 30 min. Podczas pierwszego uruchomienia FLL ktoś może się zastanowić, po jakim czasie konieczne będzie użycie przycisku *Reset*. Na to pytanie nie można odpowiedzieć bez pomiarów, ponieważ zależy to od stabilności naszego VFO. Jeżeli podłączymy do układu woltomierz poprzez bufor z wtórniakiem na tranzystorze FET lub wzmacniaczu operacyjnym CMOS, będziemy mogli określić czas potrzebny integratorowi na „zaskoczenie”. Prawidłowo zbudowane urządzenie może pracować przez całe godziny bez konieczności resetowania. Dobrym zwyczajem jest wciskanie *Reset* na początku każdego nowego QSO. Warto zatem poobserwować zamontowany układ, aby dokładniej poznać jego właściwości i zaakceptować jego zachowanie jako zupełnie normalne.

Autor pragnie podziękować Rafałowi SQ4AVS za cenne uwagi podczas uruchamiania układu.

SQ4AVS testował ten układ FLL przy częstotliwości 15MHz i kroku syntezy 76Hz, stwierdzając, że częstotliwość nie zmieniła się wcale przez całą noc (rozdzielczość posiadanego częstotliwościomierza 100Hz).

Andrzej Janeczek

Wykaz elementów

R1,R3	560Ω
R2,R4	3,3kΩ
R5	100kΩ
C1,C2	1nF
C3,C4	330pF
C5	1μF
C6,C9,C10	10nF
C7,C8	100nF
D1,D2	1N4148
T1,T2	2N2369
T3	BC557
T4	BC547
US1	74HCT74
US2,US3	4520
US4	4013

Komplet podzespołów z płytką jest dostępny w sieci handlowej AVT jako kit szkolny AVT-2746

Rys. 5 Schemat montażowy

